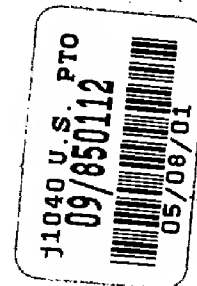


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of	)	
	)	
Yoshifumi DOI et al.	)	Group Art Unit: Unassigned
	)	
Application No.: Unassigned	)	Examiner: Unassigned
	)	
Filed: May 8, 2001	)	
	)	
For: TRACE CONTROL CIRCUIT	)	
	)	
	)	
	)	
	)	
	)	



CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2000-359793

Filed: November 27, 2000

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: May 8, 2001

By: William C. Mandros RN 3088, for  
Platon N. Mandros  
Registration No. 22,124

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of  
the following application as filed with this Office.

Date of Application : November 27, 2000

Application Number : Japanese Patent Application No. 2000-359793

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 15th day of December, 2000

Commissioner,  
Patent Office Kozo OIKAWA

Certificate No. 2000-3104903

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

J1040 U.S. PTO  
09/850112  
05/08/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年11月27日

出 願 番 号  
Application Number:

特願2000-359793

出 願 人  
Applicant(s):

三菱電機株式会社

2000年12月15日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 527271JP01

【提出日】 平成12年11月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 11/28

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 土居 佳史

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 神崎 照明

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100066474

【弁理士】

【氏名又は名称】 田澤 博昭

【選任した代理人】

【識別番号】 100088605

【弁理士】

【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 トレース制御回路

【特許請求の範囲】

【請求項 1】 分岐命令に応じて分岐命令に係るトレースデータを出力する分岐イベント生成回路と、データアクセス命令に応じてデータアクセス命令に係るトレースデータを出力する CPU アクセスイベント生成回路と、少なくとも前記分岐イベント生成回路から出力されるトレースデータおよび前記 CPU アクセスイベント生成回路から出力されるトレースデータを入力するとともにいずれか 1 つのトレースイベントに係るトレースデータを選択して出力可能である選択手段と、トレースデータを格納する記憶手段と、トレースデータについて一部データの省略を実施してデータ省略されたトレースデータを出力するトレースデータ省略手段とを備え、

前記分岐イベント生成回路が、分岐元アドレスと分岐先アドレスとの上位アドレス側からの重複部分を検出して分岐先アドレス省略情報を生成するアドレス省略情報生成手段を有することを特徴とするトレース制御回路。

【請求項 2】 分岐イベント生成回路が、アドレスデータを所定のビット毎にラッチする 1 または複数の第 1 のラッチ手段と、該第 1 のラッチ手段から所定のクロック信号周期遅延してアドレスデータを所定のビット毎にラッチする 1 または複数の第 2 のラッチ手段と、所定のビット毎に前記第 1 のラッチ手段の保持データと前記第 2 のラッチ手段の保持データとを比較して比較結果をアドレス省略情報生成手段に出力する 1 または複数の比較手段とを有することを特徴とする請求項 1 記載のトレース制御回路。

【請求項 3】 分岐命令に応じて分岐命令に係るトレースデータを出力する分岐イベント生成回路と、データアクセス命令に応じてデータアクセス命令に係るトレースデータを出力する CPU アクセスイベント生成回路と、少なくとも前記分岐イベント生成回路から出力されるトレースデータおよび前記 CPU アクセスイベント生成回路から出力されるトレースデータを入力するとともにいずれか 1 つのトレースイベントに係るトレースデータを選択して出力可能である選択手段と、トレースデータを格納する記憶手段と、トレースデータについて一部デー

タの省略を実施してデータ省略されたトレースデータを出力するトレースデータ省略手段とを備え、

前記CPUアクセスイベント生成回路が、連続するデータアクセスに係るアクセス対象の先行アドレスと後続アドレスとの上位アドレス側からの重複部分を検出して後続アドレス省略情報を生成するアドレス省略情報生成手段を有することを特徴とするトレース制御回路。

【請求項4】 CPUアクセスイベント生成回路が、アドレスデータを所定のビット毎にラッチする1または複数の第1のラッチ手段と、該第1のラッチ手段から所定のクロック信号周期遅延してアドレスデータを所定のビット毎にラッチする1または複数の第2のラッチ手段と、所定のビット毎に前記第1のラッチ手段の保持データと前記第2のラッチ手段の保持データとを比較して比較結果をアドレス省略情報生成手段に出力する1または複数の比較手段とを有することを特徴とする請求項3記載のトレース制御回路。

【請求項5】 トレースデータ省略手段が、記憶手段から1つのトレースイベントに係るトレースデータを読み出して記憶することができるレジスタと、レジスタを構成する各記憶素子とトレースデータ省略手段の出力部との間に配置される複数のスイッチ手段と、該複数のスイッチ手段のそれぞれの制御端子に接続されてデータ省略単位となる所定のビット毎にアドレス省略情報に基づいて前記スイッチ手段のオン・オフ制御を実施する制御手段とを有することを特徴とする請求項2または請求項4記載のトレース制御回路。

【請求項6】 分岐命令に応じて分岐命令に係るトレースデータを出力する分岐イベント生成回路と、データアクセス命令に応じてデータアクセス命令に係るトレースデータを出力するCPUアクセスイベント生成回路と、少なくとも前記分岐イベント生成回路から出力されるトレースデータおよび前記CPUアクセスイベント生成回路から出力されるトレースデータを入力するとともにいずれか1つのトレースイベントに係るトレースデータを選択して出力可能である選択手段と、トレースデータを格納する記憶手段と、トレースデータについて一部データの省略を実施してデータ省略されたトレースデータを出力するトレースデータ省略手段とを備え、

前記CPUアクセスイベント生成回路が、読み出しまたは書き込みデータを所定のビット毎にラッチする1または複数のラッチ手段と、所定のビット毎に該1または複数のラッチ手段に保持されたビット列と所定の省略対象ビット列とを比較する1または複数の比較手段と、該1または複数の比較手段から出力される比較結果を入力して読み出しまたは書き込みデータに係る所定のビット毎の省略情報を生成するデータ省略情報生成手段とを有することを特徴とするトレース制御回路。

【請求項7】 トレースデータ省略手段が、記憶手段から1つのトレースイベントに係るトレースデータを読み出して記憶することができるレジスタと、レジスタを構成する各記憶素子とトレースデータ省略手段の出力部との間に配置される複数のスイッチ手段と、該複数のスイッチ手段のそれぞれの制御端子に接続されてデータ省略単位となる所定のビット毎にデータ省略情報に基づいて前記スイッチ手段のオン・オフ制御を実施する制御手段とを有することを特徴とする請求項6記載のトレース制御回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、プログラムデバッグの効率化を図るためのトレース情報を出力するためのトレース制御回路に係り、特にマイクロコンピュータに内蔵されてCPU動作に係るトレース情報をリアルタイムで出力することを可能とするトレース制御回路に関するものである。

##### 【0002】

##### 【従来の技術】

従来、マイクロコンピュータに係るプログラムデバッグは、インサーキットエミュレータ（以下、ICEと称する）を用いるのが一般的であった。ICEは、マイクロコンピュータの開発などにおいて、当該マイクロコンピュータに係るプログラムデバッグをエミュレートする機能を有するものである。ICEによるエミュレートを実施する際には、マイクロコンピュータのアドレスバスやデータバスをICE上のメモリに接続し、ICEを制御するホストコンピュータからプロ



グラムをICE上のメモリにダウンロードしてマイクロコンピュータを動作させていた。そして、ICE上の接続端子をプログラムデバッグの対象となるターゲットシステムにおけるマイクロコンピュータの外部端子とみなしてプログラムデバッグを実施していた。

#### 【0003】

通常、マイクロコンピュータ組み込み型のLSIについては、プログラムはマイクロコンピュータに内蔵されるメモリに格納されているので、マイクロコンピュータのCPUに係るアドレスバスやデータバス等はLSI外部端子には接続されない。このために、ICE接続専用モードを設けて、アドレスバスやデータバスをLSI外部端子に引き出すとともに、ICE接続専用モードにおいてアドレスバスやデータバスに対する接続端子として使用されるLSI外部端子が備える本来の機能に係る処理についてはICE内でエミュレートしていた。

#### 【0004】

ところが、ICEとターゲットシステムであるLSIとの間の接続については、マイクロコンピュータの端子数分の接続が必要となるために、マイクロコンピュータの高速化やバスの多ビット化に伴ってICEとターゲットシステムとを接続するのが困難となってきた。さらに、マイクロコンピュータを内蔵するシステムLSIについては、マイクロコンピュータに加えてシステムの多様な機能を実現するための多種の機能素子が内蔵されるので、ICE接続専用モードにおいてアドレスバスやデータバスに対する接続端子として使用されるLSI外部端子が備える本来の機能をICEでエミュレートすることが困難となっていた。

#### 【0005】

以上のような背景から、ICEの有する機能を代替するデバッグ回路をマイクロコンピュータに内蔵して、当該デバッグ回路をデバッグ専用のLSI端子を介してホストコンピュータ側の外部デバッガに接続してプログラムデバッグを実施するプログラム開発手法が採られるようになった。図14は、従来のデバッグ回路を備えたマイクロコンピュータの構成を示す回路図である。図14において、101は従来のデバッグ回路を備えたマイクロコンピュータ、102はCPU、103はメモリ、104は制御バス、105はアドレスバス、106はデータバ

ス、107はバスインタフェース、108は制御バス、109はアドレスバス、110はデータバス、111はデバッグ回路、112は比較器、113はダウンロード制御回路、114はレジスタ制御回路、115はトレース制御回路、116はレジスタ回路、117、118、119、120、121、122、123、124は信号線、DATAは外部デバッガよりデータを入出力する複数ビットのデータ信号端子、CLKはトレースデータとの同期を取るためのトレース用クロック信号が伝送されるクロック信号端子、OEはデータ信号およびクロック信号の入出力を制御するための制御信号が伝送される制御信号端子、SYNCはトレース用同期信号が伝送される同期信号端子である。これらのデータ信号端子DATA、クロック信号端子CLK、制御信号端子OEおよび同期信号端子SYNCを用いて、デバッグ回路に対するデータ入出力が実施される。

#### 【0006】

次に、デバッグ回路を備えた上記マイクロコンピュータの動作について説明する。

まず、ホストコンピュータにおいてプログラムが作成されると、ホストコンピュータが、接続される外部デバッガを用いて、クロック信号端子CLK、データ信号端子DATA、制御信号端子OEを介して、デバッグ回路111に対するデータの入出力を実施する。デバッグ回路111に入力されたデータはレジスタ制御回路114により解読されて、解読信号に基づいて信号線118、119、120を介して比較器112、ダウンロード制御回路113、トレース制御回路115、レジスタ回路116（レジスタ0～レジスタ3）に対するデータの読み出しまたは書き込みが実施される。

#### 【0007】

次に、外部デバッガを用いて、ホストコンピュータにおいて作成されたプログラムデータをクロック信号端子CLK、データ信号端子DATA、制御信号端子OEを介してデバッグ回路111に入力する。ダウンロード制御回路113は、入力されたプログラムデータを制御バス104、アドレスバス105、データバス106を介してマイクロコンピュータ101の内蔵メモリ103へダウンロードする。

【0008】

次に、トレース制御回路115は、CPU102とバスインタフェース107とを接続する制御バス108、アドレスバス109、データバス110を伝送されるデータを取り込み、クロック信号端子CLK、データ信号端子DATA、同期信号端子SYNCを介してCPU102の動作状態に係るトレース情報を外部デバッガへ出力する。

【0009】

また、ホストコンピュータは、外部デバッガを用い、クロック信号端子CLK、データ信号端子DATA、制御信号端子OEを介して、所定のプログラム実行アドレスや所定のデータを予め比較器112に書き込む。比較器112は、CPU102に係る動作状態を監視して、制御バス108、アドレスバス109、データバス110を伝送される信号データが予め格納された所定のプログラム実行アドレスや所定のデータと一致する場合には、信号線117を介してCPU102に対して割り込み要求を出力する。この際、CPU102は、予めメモリ103にダウンロードされた割り込み処理プログラムを実行して、割り込み処理に係る情報についてレジスタ回路116を介してCPU102と外部デバッガとの間においてデータ通信を実施する。

【0010】

マイクロコンピュータ101において上記のような動作を実施することで、以下に示す手順に基づくプログラムデバッグの実現が可能となる。

- 1) ホストコンピュータにより、デバッグプログラムを作成する。
- 2) マイクロコンピュータ内蔵メモリへプログラムデータをダウンロードする。
- 3) ホストコンピュータの指示を契機としてデバッグプログラムを実行することで、デバッグ回路からのトレースデータ出力に基づきマイクロコンピュータの動作状態を把握する。
- 4) ホストコンピュータが予め設定するプログラムアドレス等が出現する場合に割り込み要求を発生させて、割り込み処理について外部デバッガを介してホストコンピュータとデバッグ回路との間でデータ通信を実施することにより、マイクロコンピュータの動作状態を把握する。

## 【 0 0 1 1 】

しかしながら、近年のシステム L S I は、内蔵されるマイクロコンピュータが高速化して単位時間当たりの命令実行回数が多くなってきており、限られた数の接続端子からマイクロコンピュータのトレース情報を出力することが困難となってきた。図 1 5 は、図 1 4 に示されたトレース制御回路 1 1 5 の内部構成を分岐イベント生成に係る回路部位を中心に示す回路図である。このトレース制御回路については、アドレスが 1 6 ビット長、データが 1 6 ビット長の場合を例にして説明する。図 1 5 において、1 3 1 は分岐イベント生成回路、1 3 2 は C P U アクセスイベント生成回路、1 3 3 はセレクタ、1 3 4 はトレースメモリ、1 3 5 はトレースデータ出力回路、1 3 6 は O R ゲート、1 3 7 はステータス情報生成回路、1 3 8 は 1 6 ビットのデータをラッチするアドレスデータ用のラッチ回路、1 3 9 は A N D ゲート、1 4 0 は 1 6 ビットのデータをラッチするアドレスデータ用のラッチ回路、1 4 1 は A N D ゲート、1 4 2 はバッファ、1 4 3 は A N D ゲートである。

## 【 0 0 1 2 】

次に、上記トレース制御回路の動作について説明する。

図 1 6 は、トレース制御回路に係る各種信号波形を示すタイミング図である。図 1 6 において、P 1, P 2 は C P U の基本クロック信号、O P C はオペコードフェッチ信号、O P C B U S はオペコードバスへの出力データ、O P R はオペランドフェッチ信号、O P R B U S はオペランドバスへの出力データ、S Y N C \_ C P U は同期信号、R C L R は分岐先信号、A D C P U は C P U のアドレスバスへの出力データ、B R A S \_ C L K は分岐元アドレスラッチ信号、B R A D \_ C L K は分岐先アドレスラッチ信号、S E L 1 は選択信号、T R W 1 はトレースメモリ 1 3 4 への書き込み信号、C L K はトレース用クロック信号、S Y N C はトレース用同期信号、D A T A はデータ信号端子から出力されるトレースデータである。

## 【 0 0 1 3 】

図 1 6 に示されるように、A N D ゲート 1 3 9 により同期信号 S Y N C \_ C P U と基本クロック信号 P 1 との論理積として与えられる分岐元アドレスラッチ信

号BRAS\_CLKがHレベルとなると、CPUのアドレスバスADCPUに出力された分岐元アドレスデータがラッチ回路138にラッチされる。そして、ANDゲート141により分岐先信号RCLRと基本クロック信号P1との論理積として与えられる分岐先アドレスラッチ信号BRAD\_CLKがHレベルとなると、CPUのアドレスバスADCPUに出力された分岐先アドレスデータがラッチ回路140にラッチされる。次に、バッファ142により分岐先信号RCLRに対して基本クロック信号周期遅延される選択信号SEL1がHレベルとなると、セクタ133は、ステータス情報生成回路137から出力されてCPUに係るトレースイベントの種類等を示す4ビットのステータス情報、ラッチ回路138から出力される16ビットの分岐元アドレスデータ、ラッチ回路140から出力される16ビットの分岐先アドレスデータから成る36ビットのデータを選択して出力する。そして、ANDゲート143により選択信号SEL1と基本クロック信号P1との論理積として与えられる書き込み信号TRW1がHレベルとなると、ステータス情報、分岐元アドレスデータ、分岐先アドレスデータから成る36ビットのデータがトレースメモリ134に格納される。次に、トレース用同期信号SYNCがHレベルとなると、トレースデータ出力回路135が、トレース用クロック信号CLKに同期して、トレースメモリ134からトレースデータを読み出して、データ信号端子DATAからトレースデータを4ビット毎に順次出力する。データ信号端子DATAからは、ステータス情報ST、分岐元アドレス(AS<sub>HH</sub>, AS<sub>HL</sub>, AS<sub>LH</sub>, AS<sub>LL</sub>)、分岐先アドレス(AD<sub>HH</sub>, AD<sub>HL</sub>, AD<sub>LH</sub>, AD<sub>LL</sub>)の順でデータを出力する。すなわち、分岐命令に対して、4ビットのデータ信号端子DATAから合計9回のCLKサイクルで分岐イベントに係るトレースデータを出力することになる。なお、上記のアドレスに対して付記されるHH, HL, LH, LLの各記号は、データにおける各ビット列の位置を示し、HH, HL, LH, LLの順に上位から下位へデータ位置が移行するものとする。

【0014】

図17は、図14に示されたトレース制御回路115の内部構成をCPUアクセスイベント生成に係る回路部位を中心に示す回路図である。図17において、

図15と同一符号は同一または相当部分を示すのでその説明を省略する。このトレース制御回路についても、アドレスが16ビット長、データが16ビット長の場合を例にして説明する。図17において、151はステータス情報生成回路、152はセレクタ、153は16ビットのデータをラッチするアドレスデータ用のラッチ回路、154はANDゲート、155は16ビットのデータをラッチする読み出しまたは書き込み用のラッチ回路、156はANDゲート、157、158、159、160は1ビットのデータをラッチするラッチ回路、161はANDゲートである。

#### 【0015】

次に、上記トレース制御回路の動作について説明する。

図18は、トレース制御回路に係る各種信号波形を示すタイミング図である。図18において、図16と同一記号は同一または相当する信号を示すのでその説明を省略する。RDAはCPUからのデータアクセス要求信号、DBはデータバスへの出力データ、AD\_CLKはアドレスラッチ信号、DT\_CLKはデータラッチ信号、SEL2は選択信号、TRW2はトレースメモリ134への書き込み信号である。図18に示されるように、ANDゲート154によりデータアクセス要求信号RDAと基本クロック信号P1との論理積として与えられるアドレスラッチ信号AD\_CLKがHレベルとなると、CPUのアドレスバスADCPUに出力されたアドレスデータがラッチ回路153にラッチされる。そして、ANDゲート156の動作に基づいてラッチ回路157、158により1基本クロック信号周期遅延されたデータアクセス要求信号RDAと基本クロック信号P1との論理積として与えられるデータラッチ信号DT\_CLKがHレベルとなると、データバスDBに出力された読み出しまたは書き込みデータがラッチ回路155にラッチされる。次に、ラッチ回路157、158、159、160によりデータアクセス要求信号RDAに対して2基本クロック信号周期遅延された選択信号SEL2がHレベルとなると、セレクタ133は、ステータス情報生成回路151から出力される4ビットのステータス情報、ラッチ回路153から出力される16ビットのアドレスデータ、ラッチ回路155から出力される16ビットの読み出しまたは書き込みデータから成る36ビットのデータを選択して出力する

。そして、ANDゲート161により選択信号SEL2と基本クロック信号P1との論理積として与えられる書き込み信号TRW2がHレベルとなると、ステータス情報、アドレスデータ、読み出しまたは書き込みデータから成る36ビットのデータがトレースメモリ134に格納される。次に、トレース用同期信号SYNCがHレベルとなると、トレースデータ出力回路135が、トレース用クロック信号CLKに同期して、トレースメモリ134からトレースデータを読み出して、データ信号端子DATAからトレースデータを4ビット毎に順次出力する。データ信号端子DATAからは、ステータス情報ST、アドレスデータ(A<sub>HH</sub>, A<sub>HL</sub>, A<sub>LH</sub>, A<sub>LL</sub>)、読み出しまたは書き込みデータ(D<sub>HH</sub>, D<sub>HL</sub>, D<sub>LH</sub>, D<sub>LL</sub>)の順でデータを出力する。すなわち、データアクセス命令に対して、4ビットのデータ信号端子DATAから合計9回のCLKサイクルでCPUアクセスイベントに係るトレースデータを出力することになる。

## 【0016】

## 【発明が解決しようとする課題】

従来のデコード回路を備えたマイクロコンピュータは以上のように構成されているので、アドレスバスのビット数やデータバスのビット数が増加されたり、あるいは命令実行サイクルが短縮されたりすると、CPUの動作をリアルタイムでトレースする必要がある場合には、トレースバスのビット数を増加させるか、あるいはトレース用クロック信号を高速化しなければならないという課題があった。

## 【0017】

この発明は上記のような課題を解決するためになされたもので、CPUの動作をよりリアルタイムにトレースすることを可能とするトレース制御回路を得ることを目的とする。

## 【0018】

## 【課題を解決するための手段】

この発明に係るトレース制御回路は、分岐命令に応じて分岐命令に係るトレースデータを出力する分岐イベント生成回路と、データアクセス命令に応じてデータアクセス命令に係るトレースデータを出力するCPUアクセスイベント生成回

路と、少なくとも分岐イベント生成回路から出力されるトレースデータおよびCPUアクセスイベント生成回路から出力されるトレースデータを入力するとともにいずれか1つのトレースイベントに係るトレースデータを選択して出力可能である選択手段と、トレースデータを格納する記憶手段と、トレースデータについて一部データの省略を実施してデータ省略されたトレースデータを出力するトレースデータ省略手段とを備え、分岐イベント生成回路が、分岐元アドレスと分岐先アドレスとの上位アドレス側からの重複部分を検出して分岐先アドレス省略情報を生成するアドレス省略情報生成手段を有するようにしたものである。

## 【0019】

この発明に係るトレース制御回路は、分岐イベント生成回路において、アドレスデータを所定のビット毎にラッチする1または複数の第1のラッチ手段と、第1のラッチ手段から所定のクロック信号周期遅延してアドレスデータを所定のビット毎にラッチする1または複数の第2のラッチ手段と、所定のビット毎に第1のラッチ手段の保持データと第2のラッチ手段の保持データとを比較して比較結果をアドレス省略情報生成手段に出力する1または複数の比較手段とを有するようにしたものである。

## 【0020】

この発明に係るトレース制御回路は、分岐命令に応じて分岐命令に係るトレースデータを出力する分岐イベント生成回路と、データアクセス命令に応じてデータアクセス命令に係るトレースデータを出力するCPUアクセスイベント生成回路と、少なくとも分岐イベント生成回路から出力されるトレースデータおよびCPUアクセスイベント生成回路から出力されるトレースデータを入力するとともにいずれか1つのトレースイベントに係るトレースデータを選択して出力可能である選択手段と、トレースデータを格納する記憶手段と、トレースデータについて一部データの省略を実施してデータ省略されたトレースデータを出力するトレースデータ省略手段とを備え、CPUアクセスイベント生成回路が、連続するデータアクセスに係るアクセス対象の先行アドレスと後続アドレスとの上位アドレス側からの重複部分を検出して後続アドレス省略情報を生成するアドレス省略情報生成手段を有するようにしたものである。



## 【 0 0 2 1 】

この発明に係るトレース制御回路は、CPUアクセスイベント生成回路において、アドレスデータを所定のビット毎にラッチする1または複数の第1のラッチ手段と、第1のラッチ手段から所定のクロック信号周期遅延してアドレスデータを所定のビット毎にラッチする1または複数の第2のラッチ手段と、所定のビット毎に第1のラッチ手段の保持データと第2のラッチ手段の保持データとを比較して比較結果をアドレス省略情報生成手段に出力する1または複数の比較手段とを有するようにしたものである。

## 【 0 0 2 2 】

この発明に係るトレース制御回路は、トレースデータ省略手段において、記憶手段から1つのトレースイベントに係るトレースデータを読み出して記憶することが出来るレジスタと、レジスタを構成する各記憶素子とトレースデータ省略手段の出力部との間に配置される複数のスイッチ手段と、複数のスイッチ手段のそれぞれの制御端子に接続されてデータ省略単位となる所定のビット毎にアドレス省略情報に基づいてスイッチ手段のオン・オフ制御を実施する制御手段とを有するようにしたものである。

## 【 0 0 2 3 】

この発明に係るトレース制御回路は、分岐命令に応じて分岐命令に係るトレースデータを出力する分岐イベント生成回路と、データアクセス命令に応じてデータアクセス命令に係るトレースデータを出力するCPUアクセスイベント生成回路と、少なくとも分岐イベント生成回路から出力されるトレースデータおよびCPUアクセスイベント生成回路から出力されるトレースデータを入力するとともにいずれか1つのトレースイベントに係るトレースデータを選択して出力可能である選択手段と、トレースデータを格納する記憶手段と、トレースデータについて一部データの省略を実施してデータ省略されたトレースデータを出力するトレースデータ省略手段とを備え、CPUアクセスイベント生成回路が、読み出しまたは書き込みデータを所定のビット毎にラッチする1または複数のラッチ手段と、所定のビット毎に1または複数のラッチ手段に保持されたビット列と所定の省略対象ビット列とを比較する1または複数の比較手段と、1または複数の比較手

段から出力される比較結果を入力して読み出したまたは書き込みデータに係る所定のビット毎の省略情報を生成するデータ省略情報生成手段とを有するようにしたものである。

#### 【0024】

この発明に係るトレース制御回路は、トレースデータ省略手段において、記憶手段から1つのトレースイベントに係るトレースデータを読み出して記憶することができレジスタと、レジスタを構成する各記憶素子とトレースデータ省略手段の出力部との間に配置される複数のスイッチ手段と、複数のスイッチ手段のそれぞれの制御端子に接続されてデータ省略単位となる所定のビット毎にデータ省略情報に基づいてスイッチ手段のオン・オフ制御を実施する制御手段とを有するようにしたものである。

#### 【0025】

##### 【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

##### 実施の形態1.

従来のトレース制御回路においては、分岐命令が実行されると、図16に示されるように絶対アドレスを用いて分岐元アドレスおよび分岐先アドレスに係るトレースデータの出力を実施している。しかし、分岐命令のなかには相対アドレスを用いて分岐を実施する場合があります、そのような場合には分岐元アドレスと分岐先アドレスとの上位アドレスは同一となることが多い。そこで、この発明の実施の形態1によるトレース制御回路は、トレースメモリに格納されたトレースデータにおける分岐先アドレスが分岐元アドレスと同一の上位アドレス部分を有する場合には、トレースデータから分岐先アドレスに係る上位アドレス側の同一ビット列を省略して外部にトレースデータを出力することを特徴とする。

#### 【0026】

図1は、この発明の実施の形態1によるトレース制御回路の内部構成を分岐イベント生成に係る回路部位を中心に示す回路図である。図1において、1は分岐命令に係るトレース情報を出力する分岐イベント生成回路、2はデータアクセス命令に係るトレース情報を出力するCPUアクセスイベント生成回路、3は分岐

イベント生成回路 1 からの出力データまたは CPU アクセスイベント生成回路 2 からの出力データのいずれかを選択して出力可能であるセレクト（選択手段）、4 はトレースデータを記憶するトレースメモリ（記憶手段）、5 はトレースメモリ 4 からトレースデータを読み出すとともに一部データの省略を実施して 4 ビット毎に順次トレースデータを出力するトレースデータ省略回路（トレースデータ省略手段）、6 は OR ゲート、7 は CPU からの制御信号を受けてトレースイベントに係る 4 ビットのステータス情報を生成するステータス情報生成回路、8 は 4 ビットの分岐先アドレス省略情報を生成するアドレス省略情報生成回路（アドレス省略情報生成手段）、9, 10, 11, 12 はそれぞれ 4 ビットのデータをラッチする分岐元アドレスデータ用のラッチ回路（第 1 のラッチ手段）、13, 14, 15, 16 はそれぞれ 4 ビットのデータをラッチする分岐先アドレスデータ用のラッチ回路（第 2 のラッチ手段）、17, 18, 19, 20 はそれぞれラッチ回路 9 およびラッチ回路 13、ラッチ回路 10 およびラッチ回路 14、ラッチ回路 11 およびラッチ回路 15、ラッチ回路 12 およびラッチ回路 16 に保持されたデータを比較する比較器（比較手段）、21 は信号を 1 基本クロック信号周期だけ遅延させるためのバッファ、22, 23, 24 は AND ゲートである。なお、トレースデータ省略回路 5 に接続される各信号端子 CLK, DATA, SYNC は図 14 に示された従来技術におけるマイクロコンピュータの端子と同一の機能を奏するものである。また、この実施の形態 1 によるトレース制御回路を備えるマイクロコンピュータについては、図 14 に示された従来技術におけるマイクロコンピュータと同様の構成を採るものであり、全体的な構成に係る説明は省略する。

#### 【0027】

次に、上記トレース制御回路に係る動作について説明する。

図 2 は、この発明の実施の形態 1 によるトレース制御回路に係る各種信号波形を示すタイミング図である。図 2 において、P1, P2 は CPU の基本クロック信号、OPC は命令実行時のオペコードフェッチ信号、OPCBUS はオペコードバスへの出力データ、OPR は命令実行時のオペランドフェッチ信号、OPRBUS はオペランドバスへの出力データ、SYNC\_CPU は命令実行時の同期

信号、RCLRは分岐先信号、ADCPUはCPUのアドレスバス（16ビット）への出力データ、BRAS\_CLKは分岐元アドレスデータを4ビット毎にラッチ回路9、10、11、12にラッチする際にアクティブとなる分岐元アドレスラッチ信号、BRAD\_CLKは分岐先アドレスデータを4ビット毎にラッチ回路13、14、15、16にラッチする際にアクティブとなる分岐先アドレスラッチ信号、SEL1はセクタ3に分岐イベント生成回路1からの出力データを選択して出力させる際にアクティブとなる選択信号、TRW1は分岐イベント生成回路1からの出力データをトレースメモリ4に書き込む際にアクティブとなる書き込み信号、CLKはトレース用クロック信号、SYNCはトレースデータを出力する際の同期をとるためのトレース用同期信号、DATAはデータ信号端子から出力されるトレースデータである。

## 【0028】

分岐命令実行時において、まずステータス情報生成回路7は、CPUからの制御信号を入力して、トレースイベントの種類等に係る情報である4ビットのステータス情報ST1を生成する。このステータス情報については、マイクロコンピュータ外にある外部デバッガにより情報の解釈が実施され、解釈情報に基づいて適宜処理を実施する。次に、ANDゲート23により同期信号SYNC\_CPUと基本クロック信号P1との論理積として与えられる分岐元アドレスラッチ信号BRAS\_CLKがHレベルとなると、CPUのアドレスバスADCPUに出力された分岐元アドレスデータが、4ビット毎にそれぞれラッチ回路9、10、11、12にラッチされる。次に、ANDゲート24により分岐先信号RCLRと基本クロック信号P1との論理積として与えられる分岐先アドレスラッチ信号BRAD\_CLKがHレベルとなると、CPUのアドレスバスADCPUに出力された分岐先アドレスデータが、4ビット毎にそれぞれラッチ回路13、14、15、16にラッチされる。そして、比較器17、18、19、20は、それぞれ分岐元アドレスと分岐先アドレスとを4ビットずつ比較して、比較結果をアドレス省略情報生成回路8に出力する。アドレス省略情報生成回路8は、入力された比較結果を基にして分岐先アドレス省略情報ST2を生成する。

## 【0029】

次に、バッファ21により分岐先信号RCLRに対して1基本クロック信号周期遅延された選択信号SEL1がHレベルとなると、セクタ3は、ステータス情報生成回路7から出力される4ビットのステータス情報、アドレス省略情報生成回路8から出力される4ビットの分岐先アドレス省略情報、ラッチ回路9, 10, 11, 12からそれぞれ4ビットずつ出力される分岐元アドレスデータ、ラッチ回路13, 14, 15, 16からそれぞれ4ビットずつ出力される分岐先アドレスデータから成る分岐イベント生成回路1からの40ビットの出力データを選択して出力する。次に、ANDゲート22により選択信号SEL1と基本クロック信号P1との論理積として与えられる書き込み信号TRW1がHレベルとなると、ステータス情報、分岐先アドレス省略情報、分岐元アドレスデータ、分岐先アドレスデータから成る40ビットのデータがトレースメモリ4に書き込まれる。そして、トレース用同期信号SYNCがHレベルとなると、トレースデータ省略回路5が、トレースメモリ4からデータを読み出すとともに、トレース用クロック信号CLKに同期してデータ信号端子DATAからトレースデータを4ビット毎に順次出力する。この際、トレースデータ省略回路5は、分岐先アドレス省略情報ST2に基づいて、分岐先アドレスにおいて上位アドレス側から分岐元アドレスと重複するビット列を省略してトレースデータを出力する。データ信号端子DATAからは、トレースイベントの種類等を示すステータス情報ST1、分岐先アドレス省略情報ST2、分岐元アドレス( $AS_{LL}$ ,  $AS_{LH}$ ,  $AS_{HL}$ ,  $AS_{HH}$ )、一部データが省略された分岐先アドレス( $AD_{LL}$ ,  $AD_{LH}$ )の順でデータを出力する。この場合、分岐先アドレス省略情報ST2により、分岐先アドレスの上位8ビットが分岐元アドレスと一致することが指示されることに基づいて、分岐先アドレスの上位8ビットを省略した形態でトレースデータが出力される。したがって、このような回路構成を採ることで、従来分岐イベントに係るトレースデータを出力するためにトレース用クロック信号周期(以下、CLK周期と称する)で9サイクル必要であったものが、最小で6サイクル(上記の例では8サイクル)に短縮することができる。

【0030】

次に、分岐先アドレスに係るアドレスデータの省略を実施するトレースデータ

省略回路について詳細に説明する。図3は、図1に示されるトレースデータ省略回路の内部構成を示す回路図である。図3において、4はトレースメモリ、31はトレースメモリ4から分岐イベントに係るトレースデータを読み出して一時的に記憶するレジスタ、32は分岐先アドレス省略情報を伝送するための信号線、33はリードリクエスト信号を伝送するための信号線、34はCPUからの制御信号を伝送するための信号線、G1～G10はトランスミッションゲート（スイッチ手段）、35は信号線32を介して分岐先アドレス省略情報を入力するとともに信号線34を介してCPUからの制御信号を入力して、リードリクエスト信号およびトランスミッションゲートG1～G10のゲート（制御端子）へ入力するゲート信号を出力する制御回路（制御手段）、36は4ビット毎のトレースデータを出力する出力部である。

#### 【0031】

次に、上記のトレースデータ省略回路に係る動作について説明する。

図4は、分岐先アドレス情報ST2に基づくトレースデータの省略手順を示すフローチャートである。制御回路35は、信号線32を介して分岐先アドレス省略情報ST2を読み出す。次に、制御回路35は、分岐先アドレス省略情報ST2が“0000”であるか否かを判定する（ステップST1）。分岐先アドレス省略情報ST2が“0000”である場合には、分岐先アドレスデータの上位4ビットAD<sub>HH</sub>を省略するように設定する（ステップST2）。また、分岐先アドレス省略情報ST2が“0000”でない場合には、分岐先アドレス省略情報ST2が“0001”であるか否かを判定する（ステップST3）。分岐先アドレス省略情報ST2が“0001”である場合には、分岐先アドレスデータの上位8ビット（AD<sub>HH</sub>、AD<sub>HL</sub>）を省略するように設定する（ステップST4）。また、分岐先アドレス省略情報ST2が“0001”でない場合には、分岐先アドレス省略情報ST2が“0010”であるか否かを判定する（ステップST5）。分岐先アドレス省略情報ST2が“0010”である場合には、分岐先アドレスデータの上位12ビット（AD<sub>HH</sub>、AD<sub>HL</sub>、AD<sub>LH</sub>）を省略するように設定する（ステップST6）。また、分岐先アドレス省略情報ST2が“0010”でない場合には、分岐先アドレス省略情報ST2が“0011”であ

るか否かを判定する（ステップST7）。分岐先アドレス省略情報ST2が“0011”である場合には、分岐先アドレスデータの全ビット列（ $AD_{HH}$ 、 $AD_{HL}$ 、 $AD_{LH}$ 、 $AD_{LL}$ ）を省略するように設定する（ステップST8）。また、分岐先アドレス省略情報ST2が“0011”でない場合には、分岐先アドレスデータについてデータの省略を実施しないように設定する（ステップST9）。そして、制御回路35は、ステップST2、ステップST4、ステップST6、ステップST8またはステップST9において、分岐先アドレスデータに係る省略形態が設定されると、トレースメモリ4からレジスタ31へトレースデータを読み出すためのリードリクエスト信号を出力する。

#### 【0032】

レジスタ31へトレースデータが読み出されると、制御回路35は、ステータス情報ST1、分岐先アドレス省略情報ST2、分岐元アドレスデータ（ $AS_L$ 、 $AS_{LH}$ 、 $AS_{HL}$ 、 $AS_{HH}$ ）、分岐先アドレスデータ（ $AD_{LL}$ 、 $AD_{LH}$ 、 $AD_{HL}$ 、 $AD_{HH}$ ）の順に4ビット毎にトレースデータを出力するように、トレース用クロック信号CLKに同期して各トランスミッションゲートG1～G10のオン・オフ制御を逐次的に実施する。この際、制御回路35は、分岐先アドレスデータの上位4ビット $AD_{HH}$ が省略されるように設定されていればトランスミッションゲートG10をオフ状態に保持し、分岐先アドレスデータの上位8ビット（ $AD_{HH}$ 、 $AD_{HL}$ ）が省略されるように設定されていればトランスミッションゲートG9、G10をオフ状態に保持し、分岐先アドレスデータの上位12ビット（ $AD_{HH}$ 、 $AD_{HL}$ 、 $AD_{LH}$ ）が省略されるように設定されていればトランスミッションゲートG8、G9、G10をオフ状態に保持し、分岐先アドレスデータの全ビット列（ $AD_{HH}$ 、 $AD_{HL}$ 、 $AD_{LH}$ 、 $AD_{LL}$ ）が省略されるように設定されていればトランスミッションゲートG7、G8、G9、G10をオフ状態に保持する。図5は、トランスミッションゲートG1～G10のゲートにそれぞれ入力されるゲート信号T1～T10の信号波形の例を示すタイミングチャートである。ここでは、分岐先アドレスデータの上位8ビット（ $AD_{HH}$ 、 $AD_{HL}$ ）が省略される場合を例にとって説明する。図5に示されるように、トレース用クロック信号CLKに同期して、ゲート信号T1～T8

を順次HレベルにしてトランスミッションゲートG1～G8をオン状態にし、ステータス情報ST1、分岐先アドレス省略情報ST2、分岐元アドレスデータ( $AS_{LL}$ ,  $AS_{LH}$ ,  $AS_{HL}$ ,  $AS_{HH}$ )、分岐先アドレスデータ( $AD_{LL}$ ,  $AD_{LH}$ )の順に8パケット分のトレースデータを出力する。

#### 【0033】

以上のように、この実施の形態1によれば、分岐元アドレスと分岐先アドレスとの重複部分を検出して、検出結果に基づき分岐先アドレス省略情報を生成するアドレス省略情報生成回路8を有して構成される分岐イベント生成回路1と、分岐先アドレス省略情報に基づいてトレースデータについて一部データの省略を実施してデータ省略されたトレースデータを出力するトレースデータ省略回路5とを備えるように構成したので、トレースデータのデータパケット数を低減してトレース出力を高速化することができるから、リアルタイムによるトレース出力の可能性を高めることができるという効果を奏する。

#### 【0034】

また、分岐イベント生成回路1が、アドレスデータを4ビット毎にラッチするラッチ回路9, 10, 11, 12と、ラッチ回路9, 10, 11, 12から所定の基本クロック信号周期だけ遅延してアドレスデータを4ビット毎にラッチするラッチ回路13, 14, 15, 16と、4ビット毎にそれぞれラッチ回路9, 10, 11, 12の保持データとラッチ回路13, 14, 15, 16の保持データとを比較して比較結果をアドレス省略情報生成回路8に出力する比較器17, 18, 19, 20とを有するように構成したので、分岐元アドレスおよび分岐先アドレスのアドレスデータを4ビット毎に区画して重複部分を検出することができるから、アドレスデータを単純に上位アドレスと下位アドレスとに分けて重複部分を検出する場合と比較すると、アドレスデータにおける重複部分の検出パターンを拡張することができ、トレースデータにおいて省略できるデータパケット数を増やせてトレース出力をより高速化することができるという効果を奏する。

#### 【0035】

また、トレースデータ省略回路5が、トレースメモリ4から分岐イベントに係るトレースデータを読み出して記憶することができるレジスタ31と、レジスタ



31と出力部36との間に4ビット毎に区画して配置されるトランスミッションゲートG1～G10と、トランスミッションゲートG1～G10のそれぞれのゲートに接続され、ゲート信号T1～T10を出力してトランスミッションゲートG1～G10のオン・オフ制御を実施する制御回路35とを有するように構成したので、制御回路35によりトレース出力対象のビット列に対応するトランスミッションゲートへ入力するゲート信号を適切なタイミングでアクティブとすることで、トレースデータ内の任意の位置にあるアドレスデータに係るビット列を省略するとともに省略されたビット列を除いた他のビット列を連続的にトレースデータとして出力することを容易に実施することができるという効果を奏する。

#### 【0036】

##### 実施の形態2.

従来のトレース制御回路においては、データアクセス命令が実行されると、図18に示されるように絶対アドレスを用いてトレースデータの出力を実施している。しかし、データアクセス命令のなかには相対アドレスを用いてデータアクセスを実施する場合があります、連続してデータアクセス命令が実行される場合には先行するデータアクセスのアドレスと後続のデータアクセスのアドレスとの上位アドレス部分が同一となることが多い。そこで、この発明の実施の形態2によるトレース制御回路は、トレースメモリに格納されたトレースデータにおいて連続するデータアクセスに係る後続アドレスが先行アドレスと同一の上位アドレス部分を有する場合には、トレースデータから後続アドレスに係る上位アドレス側の同一ビット列を省略して外部にトレースデータを出力することを特徴とする。

#### 【0037】

図6は、この発明の実施の形態2によるトレース制御回路の内部構成をCPUアクセスイベント生成に係る回路部位を中心に示す回路図である。図6において、図1と同一符号は同一または相当部分を示すのでその説明を省略する。41はCPUからの制御信号を受けてトレースイベントに係る4ビットのステータス情報を生成するステータス情報生成回路、42は4ビットの後続アドレス省略情報を生成するアドレス省略情報生成回路（アドレス省略情報生成手段）、43は1

6ビットのデータをラッチする読み出しまたは書き込みデータ用のラッチ回路、44、45、46、47はそれぞれ4ビットのデータをラッチするアドレスデータ用のラッチ回路（第1のラッチ手段）、48、49、50、51はそれぞれ4ビットのデータをラッチするアドレスデータの遅延出力用のラッチ回路、52、53、54、55はそれぞれ4ビットのデータをラッチするアドレスデータの遅延出力用のラッチ回路、56、57、58、59はそれぞれ4ビットのデータをラッチするアドレスデータ用のラッチ回路（第2のラッチ手段）、60、61、62、63はそれぞれラッチ回路44およびラッチ回路56、ラッチ回路45およびラッチ回路57、ラッチ回路46およびラッチ回路58、ラッチ回路47およびラッチ回路59の保持データを比較する比較器（比較手段）、64、65、66、67はそれぞれ1ビットのデータをラッチするラッチ回路、68、69、70はANDゲート、71、72は1ビットのデータをラッチするラッチ回路である。また、この実施の形態2によるトレース制御回路を備えるマイクロコンピュータについては、図14に示された従来技術におけるマイクロコンピュータと同様の構成を採るものであり、全体的な構成に係る説明は省略する。

### 【0038】

次に、上記トレース制御回路に係る動作について説明する。

図7は、この発明の実施の形態2によるトレース制御回路に係る各種信号波形を示すタイミングチャートである。図7において、図2と同一記号は同一または相当する信号を示すのでその説明を省略する。RDAはデータアクセス要求信号、DBはデータバスへの出力データ、AD\_CLKはアドレスデータを4ビット毎にラッチ回路44、45、46、47にラッチさせる際にアクティブとなるアドレスラッチ信号、DT\_CLKは読み出しまたは書き込みデータをラッチ回路43にラッチさせる際にアクティブとなるとともにアドレスデータを4ビット毎にラッチ回路48、49、50、51にラッチさせる際にアクティブとなるデータラッチ信号、SEL2はセクタ3にCPUアクセスイベント生成回路2からの出力データを選択して出力させる際にアクティブとなる選択信号、TRW2はCPUアクセスイベント生成回路2からの出力データをトレースメモリ4に書き込む際にアクティブとなる書き込み信号である。

## 【0039】

ここでは、データアクセス命令が連続した際に、アクセスされる2つのアドレスについて上位アドレス側から重複するビット列が存在する場合を例にして、図7に示される基本クロック信号に係る各サイクルの順に逐次的に動作を説明する。第1サイクルでは、先行する第1のデータアクセス命令がフェッチされる。第2サイクルでは、後続の第2のデータアクセス命令がフェッチされるとともに、第1のデータアクセス命令に対する先行アドレスがフェッチされる。第3サイクルでは、第2のデータアクセス命令に対する後続アドレスがフェッチされる。また、データアクセス要求信号RDAがHレベルとなることに基づいて、ANDゲート69によりデータアクセス要求信号RDAと基本クロック信号P1との論理積として与えられるアドレスラッチ信号AD\_CLKがHレベルとなると、CPUのアドレスバスADCPUに出力された先行アドレスデータが、4ビット毎にそれぞれラッチ回路44、45、46、47にラッチされる。なお、データアクセス命令が実行される毎に、ステータス情報生成回路41は、CPUからの制御信号を入力して、トレースイベントの種類等に係る情報である4ビットのステータス情報を生成する。このステータス情報については、マイクロコンピュータ外にある外部デバッガにより情報の解読が実施され、解読情報に基づいて適宜処理を実施する。

## 【0040】

次に、第4サイクルでは、ANDゲート70の動作に基づいてラッチ回路71、72により1基本クロック信号周期だけ遅延されたデータアクセス要求信号RDAと基本クロック信号P1との論理積として与えられるデータラッチ信号DT\_CLKがHレベルとなると、データバスDBに出力された先行アドレスに係る読み出しまたは書き込みデータがラッチ回路43にラッチされる。第5サイクルでは、直列接続されたラッチ回路64、65、66、67によりデータアクセス要求信号RDAに対して2基本クロック信号周期遅延された選択信号SEL2がHレベルとなると、セクタ3は、ステータス情報生成回路41から出力されるトレースイベントの種類等を示す4ビットのステータス情報ST1、アドレス省略情報生成回路42から出力される4ビットの後続アドレス省略情報ST2、ラ

ッチ回路44, 45, 46, 47からそれぞれ4ビットずつ出力されるアドレスデータ、ラッチ回路43から出力される16ビットの読み出しまたは書き込みデータから成るCPUアクセスイベント生成回路2からの先行アドレスに係る40ビットの出力データを選択して出力する。次に、ANDゲート68により選択信号SEL2と基本クロック信号P1との論理積として与えられる書き込み信号TRW2がHレベルとなると、ステータス情報、後続アドレス省略情報、アドレスデータ、読み出しまたは書き込みデータから成る先行アドレスに係る40ビットのデータがトレースメモリ4に書き込まれる。また、データアクセス要求信号RDAが再びHレベルとなることに基づいてアドレスラッチ信号AD\_CLKがHレベルとなると、CPUのアドレスバスADCPUに出力された後続アドレスデータが、4ビット毎にそれぞれラッチ回路44, 45, 46, 47にラッチされる。この際、直列に接続されたラッチ回路群48, 52, 56、ラッチ回路群49, 53, 57、ラッチ回路群50, 54, 58、ラッチ回路群51, 55, 59による遅延動作により、先行アドレスデータが4ビット毎にそれぞれラッチ回路56, 57, 58, 59にラッチされる。比較器60, 61, 62, 63は、それぞれラッチ回路44, 45, 46, 47にラッチされた後続アドレスデータとラッチ回路56, 57, 58, 59にラッチされた先行アドレスデータとを4ビット毎に比較して比較結果をアドレス省略情報生成回路42へ出力する。アドレス省略情報生成回路42は、入力された比較結果を基にして後続アドレス省略情報ST2を生成する。

#### 【0041】

次に、第6サイクルでは、データラッチ信号DT\_CLKがHレベルとなると、データバスDBに出力された後続アドレスに係る読み出しまたは書き込みデータがラッチ回路43にラッチされる。また、トレース用同期信号SYNCがHレベルとなるのを契機に、トレースデータ省略回路5が、トレース用クロック信号CLKに同期して、データ信号端子DATAから先行アドレスに係るトレースデータを4ビット毎に順次出力する。第7サイクルでは、選択信号SEL2が再びHレベルとなると、セクタ3は、CPUアクセスイベント生成回路2からの後続アドレスに係る40ビットの出力データを選択して出力する。そして、書き込

み信号TRW2がHレベルとなると、当該後続アドレスに係る40ビットのデータがトレースメモリ4に書き込まれる。

#### 【0042】

次に、第10サイクルで先行アドレスに係るトレースデータの出力が完了すると、第11サイクルでは、再びトレース用同期信号SYNCがHレベルとなるのを契機に、トレースデータ省略回路5が、トレース用クロック信号CLKに同期して、データ信号端子DATAから後続アドレスに係るトレースデータを4ビット毎に順次出力する。この際、トレースデータ省略回路5は、後続アドレス省略情報ST2に基づいて、後続アドレスにおいて上位アドレス側から先行アドレスと重複するビット列を省略してトレースデータを出力する。データ信号端子DATAからは、トレースイベントの種類等を示すステータス情報ST1、後続アドレス省略情報ST2、一部データが省略されたアドレスデータALL、後続アドレスに係る読み出しまたは書き込みデータ(D<sub>LL</sub>, D<sub>LH</sub>, D<sub>HL</sub>, D<sub>HH</sub>)の順でトレースデータを出力する。この場合、後続アドレス省略情報ST2により、後続アドレスの上位12ビットが先行アドレスと一致することを検出して、後続アドレスの上位12ビットを省略した形態でトレースデータを出力する。したがって、このような回路構成を採ることで、従来CPUアクセスイベントに係るトレースデータを出力するためにCLKサイクルで9サイクル必要であったものが、最小で6サイクル(上記の例では7サイクル)に短縮することができる。

#### 【0043】

次に、後続アドレスに係るアドレスデータの省略を実施するトレースデータ省略回路について詳細に説明する。図8は、図3と同一のトレースデータ省略回路を示す図である。後続アドレスに係るアドレスデータの省略についても、実施の形態1において分岐先アドレスに係るアドレスデータの省略を実施するのに使用されるトレースデータ省略回路を使用することが可能である。実施の形態1における分岐先アドレスに係るアドレスデータの省略と比較すると、レジスタ31に読み出されるトレースデータを構成するビット列に係るデータフォーマットが異なる点でのみ相違する。

#### 【0044】

次に、トレースデータ省略回路に係る動作について説明する。

まず、後続アドレスデータに係るデータ省略形態の選定については、図4のフローチャートで示したものと同一の手順で実施されるので、その説明を省略する。信号線33を介してリードリクエスト信号が出力され、レジスタ31へCPUアクセスイベントに係るトレースデータが読み出されると、制御回路35は、ステータス情報ST1、後続アドレス省略情報ST2、アドレスデータ( $A_{LL}$ ,  $A_{LH}$ ,  $A_{HL}$ ,  $A_{HH}$ )、読み出しまたは書き込みデータ( $D_{LL}$ ,  $D_{LH}$ ,  $D_{HL}$ ,  $D_{HH}$ )の順に4ビット毎にトレースデータを出力するようにトレース用クロック信号CLKに同期して各トランスミッションゲートG1~G10のオン・オフ制御を逐次的に実施する。この際、制御回路35は、後続アドレスデータの上位4ビット $A_{HH}$ が省略されるように設定されていればトランスミッションゲートG6をオフ状態に保持し、後続アドレスデータの上位8ビット( $A_{HH}$ ,  $A_{HL}$ )が省略されるように設定されていればトランスミッションゲートG5, G6をオフ状態に保持し、後続アドレスデータの上位12ビット( $A_{HH}$ ,  $A_{HL}$ ,  $A_{LH}$ )が省略されるように設定されていればトランスミッションゲートG4, G5, G6をオフ状態に保持し、後続アドレスデータの全ビット列( $A_{HH}$ ,  $A_{HL}$ ,  $A_{LH}$ ,  $A_{LL}$ )が省略されるように設定されていればトランスミッションゲートG3, G4, G5, G6をオフ状態に保持する。図9は、トランスミッションゲートG1~G10のゲートにそれぞれ入力されるゲート信号T1~T10の信号波形の例を示すタイミングチャートである。ここでは、後続アドレスデータの上位12ビット( $A_{HH}$ ,  $A_{HL}$ ,  $A_{LH}$ )が省略される場合を例にとり説明する。図9に示されるように、トレース用クロック信号CLKに同期して、ゲート信号T1~T3およびT7~T10を順次HレベルにしてトランスミッションゲートG1~G3およびG7~G10を逐次的にオン状態にし、ステータス情報ST1、後続アドレス省略情報ST2、アドレスデータ $A_{LL}$ 、読み出しまたは書き込みデータ( $D_{LL}$ ,  $D_{LH}$ ,  $D_{HL}$ ,  $D_{HH}$ )の順に7パケット分のトレースデータを出力する。

【0045】

以上のように、この実施の形態2によれば、連続的にデータアクセスされる先

行アドレスと後続アドレスとの重複部分を検出して、検出結果に基づき後続アドレス省略情報を生成するアドレス省略情報生成回路42を有して構成されるCPUアクセスイベント生成回路2と、後続アドレス省略情報に基づいてトレースデータについて一部データの省略を実施してデータ省略されたトレースデータを出力するトレースデータ省略回路5とを備えるように構成したので、トレースデータのデータパケット数を低減してトレース出力を高速化することができるから、リアルタイムによるトレース出力の可能性を高めることができるという効果を奏する。

#### 【0046】

また、CPUアクセスイベント生成回路2が、アドレスデータを4ビット毎にラッチするラッチ回路44、45、46、47と、ラッチ回路44、45、46、47から所定の基本クロック信号周期だけ遅延してアドレスデータを4ビット毎にラッチするラッチ回路56、57、58、59と、4ビット毎にそれぞれラッチ回路44、45、46、47の保持データとラッチ回路56、57、58、59の保持データとを比較して比較結果をアドレス省略情報生成回路42に出力する比較器60、61、62、63とを有するように構成したので、先行アドレスおよび後続アドレスのアドレスデータを4ビット毎に区画して重複部分を検出することができるから、アドレスデータを単純に上位アドレスと下位アドレスに分けて重複部分を検出する場合と比較すると、アドレスデータにおける重複部分の検出パターンを拡張することができ、トレースデータにおいて省略できるデータパケット数を増やせてトレース出力をより高速化することができるという効果を奏する。

#### 【0047】

実施の形態3.

従来のトレース制御回路においては、データアクセス命令が実行されると、図18に示されるように、読み出しまたは書き込みデータの値にかかわらず全ての読み出しまたは書き込みデータをトレースデータとして出力している。しかし、データアクセス命令で読み出しまたは書き込みを実施するデータには、通常バイナリ値“0”が多く含まれている。そこで、この発明の実施の形態3によるトレ

ース制御回路は、トレースメモリに格納されたトレースデータにおける読み出しまたは書き込みデータのなかで1パケットに含まれる4ビットのビット値がすべて“0”であるパケットすなわち“0000”であるビット列を4ビット単位でトレースデータから省略して出力することを特徴とする。

#### 【0048】

図10は、この発明の実施の形態3によるトレース制御回路の内部構成をCPUアクセスイベント生成に係る回路部位を中心に示す回路図である。図10において、図1と同一符号は同一または相当部分を示すのでその説明を省略する。81はCPUからの制御信号を受けてトレースイベントに係る4ビットのステータス情報を生成するステータス情報生成回路、82は4ビットのデータ省略情報を生成するデータ省略情報生成回路（アドレス省略情報生成手段）、83は16ビットのデータをラッチするアドレスデータ用のラッチ回路、84、85、86、87はそれぞれ4ビットのデータをラッチする読み出しまたは書き込みデータ用のラッチ回路（ラッチ手段）、88、89、90、91はそれぞれラッチ回路84、85、86、87の4ビットの保持データと省略対象ビット列である“0000”とを比較する比較器（比較手段）、92、93、94、95はそれぞれ1ビットのデータをラッチするラッチ回路、96、97、98はANDゲート、99、100は1ビットのデータをラッチするラッチ回路である。また、この実施の形態3によるトレース制御回路を備えるマイクロコンピュータについては、図14に示された従来技術におけるマイクロコンピュータと同様の構成を採るものである。全体的な構成に係る説明は省略する。なお、省略対象ビット列は“0000”に限定されるものではなく、適宜任意のビット列をとり得るものとする。

#### 【0049】

次に、上記トレース制御回路に係る動作について説明する。

図11は、この発明の実施の形態3によるトレース制御回路に係る各種信号波形を示すタイミングチャートである。図11において、図7と同一記号は同一または相当する信号を示すのでその説明を省略する。

#### 【0050】



データアクセス命令実行時において、まずステータス情報生成回路 8 1 は、CPU からの制御信号を入力して、トレースイベントの種類等に係る情報である 4 ビットのステータス情報 ST 1 を生成する。このステータス情報については、マイクロコンピュータ外にある外部デバッガにより情報の解読が実施され、解読情報に基づいて適宜処理を実施する。次に、データアクセス要求信号 RDA が H レベルとなることに基づいて、AND ゲート 9 7 によりデータアクセス要求信号 RDA と基本クロック信号 P 1 との論理積として与えられるアドレスラッチ信号 AD\_CLK が H レベルとなると、CPU のアドレスバス ADCPU に出力されたアドレスデータがラッチ回路 8 3 にラッチされる。次に、AND ゲート 9 8 の動作に基づいてラッチ回路 9 9, 1 0 0 により 1 基本クロック信号周期だけ遅延されたデータアクセス要求信号 RDA と基本クロック信号 P 1 との論理積として与えられるデータラッチ信号 DT\_CLK が H レベルとなると、データバス DB に出力された読み出しまたは書き込みデータが、4 ビット毎にそれぞれラッチ回路 8 4, 8 5, 8 6, 8 7 にラッチされる。そして、比較器 8 8, 8 9, 9 0, 9 1 は、それぞれラッチ回路 8 4, 8 5, 8 6, 8 7 に保持されたビット列と省略対象ビット列である “0 0 0 0” とを比較して比較結果をデータ省略情報生成回路 8 2 に出力する。データ省略情報生成回路 8 2 は、入力された比較結果を基にしてデータ省略情報 ST 2 を生成する。

#### 【0 0 5 1】

次に、直列接続されたラッチ回路 9 2, 9 3, 9 4, 9 5 によりデータアクセス要求信号 RDA に対して 2 基本クロック信号周期だけ遅延される選択信号 SEL 2 が H レベルとなると、セレクタ 3 は、ステータス情報生成回路 8 1 から出力されるトレースイベントの種類等を示す 4 ビットのステータス情報 ST 1、データ省略情報生成回路 8 2 から出力される 4 ビットのデータ省略情報 ST 2、ラッチ回路 8 3 から出力される 1 6 ビットのアドレスデータ、ラッチ回路 8 4, 8 5, 8 6, 8 7 からそれぞれ 4 ビットずつ出力される 1 6 ビットの読み出しまたは書き込みデータから成る CPU アクセスイベント生成回路 2 からの 4 0 ビットの出力データを選択して出力する。そして、AND ゲート 9 6 により選択信号 SEL 2 と基本クロック信号 P 1 との論理積として与えられる書き込み信号 TRW 2

がHレベルとなると、ステータス情報、データ省略情報、アドレスデータ、読み出しまたは書き込みデータから成る40ビットのトレースデータがトレースメモリ4に書き込まれる。

#### 【0052】

次に、トレース用同期信号SYNCがHレベルとなるのを契機に、トレースデータ省略回路5が、トレース用クロック信号CLKに同期して、トレースメモリ4からデータを読み出すとともに、データ信号端子DATAからトレースデータを4ビット毎に順次出力する。この際、トレースデータ省略回路5は、データ省略情報ST2に基づいて、4ビット毎に区画された読み出しまたは書き込みデータのビット列で“0000”と一致するビット列を省略してトレースデータを出力する。データ信号端子DATAからは、トレースイベントの種類等を示すステータス情報ST1、データ省略情報ST2、アドレスデータ( $A_{LL}$ ,  $A_{LH}$ ,  $A_{HL}$ ,  $A_{HH}$ )、一部データが省略された読み出しまたは書き込みデータ $D_{HH}$ の順でデータを出力する。このような回路構成を採ることで、従来CPUアクセスイベントに係るトレースデータを出力するためにCLKサイクルで9サイクル必要であったものが、最小で6サイクル(上記の例では7サイクル)に短縮することができる。

#### 【0053】

次に、読み出しまたは書き込みデータの省略を実施するトレースデータ省略回路について詳細に説明する。トレースデータ省略回路の構成については、図8に示したものと同一であるのでその説明を省略する。図12は、データ省略情報ST2に基づくトレースデータにおけるデータ省略手順を示すフローチャートである。データ省略情報ST2の生成については、4ビット毎に区画された読み出しまたは書き込みデータ( $D_{HH}$ ,  $D_{HL}$ ,  $D_{LH}$ ,  $D_{LL}$ )を構成するそれぞれのビット列 $D_{HH}$ ,  $D_{HL}$ ,  $D_{LH}$ ,  $D_{LL}$ に対して、4ビットのデータ省略情報(ST2 = “b1, b2, b3, b4”)を構成する各検出ビットb1, b2, b3, b4を割り当てて、各ビット列 $D_{HH}$ ,  $D_{HL}$ ,  $D_{LH}$ ,  $D_{LL}$ が省略対象ビット列である“0000”に一致するか否かを示す。すなわち、例えば最上位のビット列 $D_{HH}$ に割り当てられた検出ビットb1が“0”であればビッ

ト列 $D_{HH}$ が“0000”に一致しないことが示され、検出ビット $b_1$ が“1”であればビット列 $D_{HH}$ が“0000”に一致することが示される。

#### 【0054】

4ビット毎に区画された読み出しまたは書き込みデータ( $D_{HH}$ ,  $D_{HL}$ ,  $D_{LH}$ ,  $D_{LL}$ )に係るデータの省略形態は15通りあるので、データ省略情報 $ST_2$ に基づくデータ省略形態の設定については、図12に示されるように、データ省略情報 $ST_2$ が15通りのいずれかの省略形態を示すビットパターンに一致するか否かを逐次的に判定していく。例えば、データ省略情報 $ST_2$ が“1000”に一致するか否かを判定して(ステップ $ST_{1a}$ )、一致する場合には読み出しまたは書き込みデータの上位4ビット $D_{HH}$ を省略するように設定し(ステップ $ST_{1b}$ )、一致しない場合にはデータ省略情報 $ST_2$ が“0100”に一致するか否かを判定して(ステップ $ST_{2a}$ )、一致する場合には読み出しまたは書き込みデータの上位4ビットの次の4ビット $D_{HL}$ を省略するように設定する(ステップ $ST_{2b}$ )。このように、一致する省略形態が検出されるまでは省略形態に係る一致判定を継続し、後半の判定ステップにおいては、データ省略情報 $ST_2$ が“1110”に一致するか否かを判定して(ステップ $ST_{14a}$ )、一致する場合には読み出しまたは書き込みデータの上位12ビット( $D_{HH}$ ,  $D_{HL}$ ,  $D_{LH}$ )を省略するように設定する(ステップ $ST_{14b}$ )。また、一致しない場合には、データ省略情報 $ST_2$ が“1111”に一致するか否かを判定して(ステップ $ST_{15a}$ )、一致する場合には読み出しまたは書き込みデータの全ビット列( $D_{HH}$ ,  $D_{HL}$ ,  $D_{LH}$ ,  $D_{LL}$ )を省略するように設定し(ステップ $ST_{15b}$ )、一致しない場合には読み出しまたは書き込みデータについてデータの省略を実施しないように設定する(ステップ $ST_{16}$ )。そして、制御回路35は、ステップ $ST_{1b}$ ～ステップ $ST_{15b}$ およびステップ $ST_{16}$ のいずれかのステップにおいて、読み出しまたは書き込みデータに係る省略形態が設定されると、トレースメモリ4からレジスタ31へトレースデータを読み出すためのリードリクエスト信号を出力する(ステップ $ST_{17}$ )。

#### 【0055】

レジスタ31へトレースデータが読み出されると、制御回路35は、ステータ

ス情報ST1、データ省略情報ST2、アドレスデータ( $A_{LL}$ ,  $A_{LH}$ ,  $A_{HL}$ ,  $A_{HH}$ )、読み出しまたは書き込みデータ( $D_{LL}$ ,  $D_{LH}$ ,  $D_{HL}$ ,  $D_{LL}$ )の順にトレースデータを4ビット毎に出力するように、トレース用クロック信号CLKに同期して各トランスミッションゲートG1~G10のオン・オフ制御を逐次的に実施する。この際、制御回路35は、読み出しまたは書き込みデータの上位4ビットのビット列 $D_{HH}$ が省略されるように設定されていればトランスミッションゲートG10をオフ状態に保持し、読み出しまたは書き込みデータの2番目の4ビットのビット列 $D_{HL}$ が省略されるように設定されていればトランスミッションゲートG9をオフ状態に保持し、読み出しまたは書き込みデータの3番目の4ビットのビット列 $D_{LH}$ が省略されるように設定されていればトランスミッションゲートG8をオフ状態に保持し、読み出しまたは書き込みデータの最後の4ビットのビット列 $D_{LL}$ が省略されるように設定されていればトランスミッションゲートG7をオフ状態に保持する。図13は、トランスミッションゲートG1~G10のゲートにそれぞれ入力されるゲート信号T1~T10の信号波形の例を示す図である。ここでは、読み出しまたは書き込みデータの下位12ビット( $D_{LL}$ ,  $D_{LH}$ ,  $D_{HL}$ )が省略される場合を例にとり説明する。図13に示されるように、トレース用クロック信号CLKに同期して、ゲート信号T1~T6およびT10を順次HレベルにしてトランスミッションゲートG1~G6およびG10を逐次的にオン状態にし、ステータス情報ST1、データ省略情報ST2、アドレスデータ( $A_{LL}$ ,  $A_{LH}$ ,  $A_{HL}$ ,  $A_{HH}$ )、読み出しまたは書き込みデータ( $D_{HH}$ )の順に7パケット分のトレースデータを出力する。

#### 【0056】

以上のように、この実施の形態3によれば、読み出しまたは書き込みデータを4ビット毎にラッチするラッチ回路84, 85, 86, 87と、ラッチ回路84, 85, 86, 87に保持されたビット列と省略対象ビット列として設定される“0000”とを比較する比較器88, 89, 90, 91と、比較器88, 89, 90, 91から出力される比較結果を入力して読み出しまたは書き込みデータに係る4ビット毎のデータ省略情報を生成するデータ省略情報生成回路82とを

有して構成されるCPUアクセスイベント生成回路2と、データ省略情報に基づいてトレースデータについて一部データの省略を実施してデータ省略されたトレースデータを出力するトレースデータ省略回路5とを備えるように構成したので、トレースデータ内の読み出しまたは書き込みデータを4ビット毎に区画して、それぞれ画定されたビット列のなかで省略対象ビット列である“0000”と一致するビット列を省略することができるから、トレースデータのデータパケット数を低減してトレース出力を高速化することができ、リアルタイムによるトレース出力の可能性を高めることができるという効果を奏する。

#### 【0057】

また、トレースデータ省略回路5が、トレースメモリ4からCPUアクセスイベントに係るトレースデータを読み出して記憶することができるレジスタ31と、レジスタ31と出力部36との間に4ビット毎に区画して配置されるトランスミッションゲートG1～G10と、トランスミッションゲートG1～G10のそれぞれのゲートに接続され、ゲート信号T1～T10を出力してトランスミッションゲートG1～G10のオン・オフ制御を実施する制御回路35とを有するように構成したので、制御回路35によりトレース出力対象のビット列に対応するトランスミッションゲートへ入力するゲート信号を適切なタイミングでアクティブとするように制御することで、トレースデータ内の任意の位置にある読み出しまたは書き込みデータに係るビット列を省略するとともに省略されたビット列を除いた他のビット列を連続的にトレースデータとして出力することを容易に実施することができるという効果を奏する。

#### 【0058】

なお、上記の実施の形態2によるトレース制御回路の後続アドレスデータに係る重複部分の検出を実施するための回路部位と実施の形態3によるトレース制御回路の読み出しまたは書き込みデータに係る重複部分の検出を実施するための回路部位とを組み合わせることも可能であり、このような回路構成を採ることにより、CPUアクセスイベントに係るトレースデータをより省略することが可能となる。

#### 【0059】

また、上記の実施の形態 1 から実施の形態 3 によるトレース制御回路は、トレースメモリ 4 の後方に配置されたトレースデータ省略回路 5 によりトレースデータの省略を実施しているが、トレースデータがトレースメモリ 4 に格納される前にトレースデータの省略を実施しても同様の効果を期待することができる。

【0060】

【発明の効果】

以上のように、この発明によれば、分岐元アドレスと分岐先アドレスとの上位アドレス側からの重複部分を検出して分岐先アドレス省略情報を生成するアドレス省略情報生成手段を有する分岐イベント生成回路と、分岐先アドレス省略情報に基づいてトレースデータについて一部データの省略を実施してデータ省略されたトレースデータを出力するトレースデータ省略手段とを備えるように構成したので、トレースデータのデータパケット数を低減してトレース出力を高速化することができるから、リアルタイムによるトレース出力の可能性を高めることができるという効果を奏する。

【0061】

この発明によれば、分岐イベント生成回路がアドレスデータを所定のビット毎にラッチする 1 または複数の第 1 のラッチ手段と、第 1 のラッチ手段から所定のクロック信号周期遅延してアドレスデータを所定のビット毎にラッチする 1 または複数の第 2 のラッチ手段と、所定のビット毎に第 1 のラッチ手段の保持データと第 2 のラッチ手段の保持データとを比較して比較結果をアドレス省略情報生成手段に出力する 1 または複数の比較手段とを有するように構成したので、分岐元アドレスおよび分岐先アドレスのアドレスデータを任意のビット数毎に区画して重複部分を検出することができるから、アドレスデータを単純に上位アドレスと下位アドレスとに分けて重複部分を検出する場合と比較するとアドレスデータにおける重複部分の検出パターンを拡張することができ、トレースデータにおいて省略できるデータパケット数を増やせてトレース出力をより高速化することができるという効果を奏する。

【0062】

この発明によれば、連続するデータアクセスに係るアクセス対象の先行アドレ

スと後続アドレスとの上位アドレス側からの重複部分を検出して後続アドレス省略情報を生成するアドレス省略情報生成手段を有するCPUアクセスイベント生成回路と、後続アドレス省略情報に基づいてトレースデータについて一部データの省略を実施してデータ省略されたトレースデータを出力するトレースデータ省略手段とを備えるように構成したので、トレースデータのデータパケット数を低減してトレース出力を高速化することができるから、リアルタイムによるトレース出力の可能性を高めることができるという効果を奏する。

## 【0063】

この発明によれば、CPUアクセスイベント生成回路がアドレスデータを所定のビット毎にラッチする1または複数の第1のラッチ手段と、第1のラッチ手段から所定のクロック信号周期遅延してアドレスデータを所定のビット毎にラッチする1または複数の第2のラッチ手段と、所定のビット毎に第1のラッチ手段の保持データと第2のラッチ手段の保持データとを比較して比較結果をアドレス省略情報生成手段に出力する1または複数の比較手段とを有するように構成したので、連続的にアクセスされる先行アドレスおよび後続アドレスのアドレスデータを任意のビット数毎に区画して重複部分を検出することができるから、アドレスデータを単純に上位アドレスと下位アドレスとに分けて重複部分を検出する場合と比較するとアドレスデータにおける重複部分の検出パターンを拡張することができ、トレースデータにおいて省略できるデータパケット数を増やせてトレース出力をより高速化することができるという効果を奏する。

## 【0064】

この発明によれば、トレースデータ省略手段が記憶手段から1つのトレースイベントに係るトレースデータを読み出して記憶することができるレジスタと、レジスタを構成する各記憶素子とトレースデータ省略手段の出力部との間に配置される複数のスイッチ手段と、複数のスイッチ手段のそれぞれの制御端子に接続されてデータ省略単位となる所定のビット毎にアドレス省略情報に基づいてスイッチ手段のオン・オフ制御を実施する制御手段とを有するように構成したので、制御手段によりトレース出力対象のビット列に対応するスイッチ手段の制御端子へ入力する信号を適切なタイミングでアクティブとするように制御することで、ト

レースデータ内の任意の位置にあるアドレスデータに係るビット列を省略するとともに省略されたビット列を除いた他のビット列を連続的にトレースデータとして出力することを容易に実施することができるという効果を奏する。

#### 【0065】

この発明によれば、読み出しまたは書き込みデータを所定のビット毎にラッチする1または複数のラッチ手段と、所定のビット毎に1または複数のラッチ手段に保持されたビット列と所定の省略対象ビット列とを比較する1または複数の比較手段と、1または複数の比較手段から出力される比較結果を入力して読み出しまたは書き込みデータに係る所定のビット毎の省略情報を生成するデータ省略情報生成手段とを有して構成されるCPUアクセスイベント生成回路と、データ省略情報に基づいてトレースデータについて一部データの省略を実施してデータ省略されたトレースデータを出力するトレースデータ省略手段とを備えるように構成したので、トレースデータ内の読み出しまたは書き込みデータについて、任意のビット数毎に区画して所定の省略対象ビット列と一致するビット列を省略することができるから、トレースデータのデータパケット数を低減してトレース出力を高速化することができ、リアルタイムによるトレース出力の可能性を高めることができるという効果を奏する。

#### 【0066】

この発明によれば、トレースデータ省略手段が記憶手段から1つのトレースイベントに係るトレースデータを読み出して記憶することができるレジスタと、レジスタを構成する各記憶素子とトレースデータ省略手段の出力部との間に配置される複数のスイッチ手段と、複数のスイッチ手段のそれぞれの制御端子に接続されてデータ省略単位となる所定のビット毎にデータ省略情報に基づいてスイッチ手段のオン・オフ制御を実施する制御手段とを有するように構成したので、制御手段によりトレース出力対象のビット列に対応するスイッチ手段の制御端子へ入力する信号を適切なタイミングでアクティブとするように制御することで、トレースデータ内の任意の位置にある読み出しまたは書き込みデータに係るビット列を省略するとともに省略されたビット列を除いた他のビット列を連続的にトレースデータとして出力することを容易に実施することができるという効果を奏する。



【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 によるトレース制御回路の構成を示す回路図である。

【図 2】 この発明の実施の形態 1 によるトレース制御回路に係る各種信号波形を示すタイミング図である。

【図 3】 図 1 に示されるトレースデータ省略回路の内部構成を示す回路図である。

【図 4】 分岐先アドレス省略情報に基づくトレースデータの省略手順を示すフローチャートである。

【図 5】 トランスマッションゲートにそれぞれ入力されるゲート信号の信号波形の例を示すタイミングチャートである。

【図 6】 この発明の実施の形態 2 によるトレース制御回路の構成を示す回路図である。

【図 7】 この発明の実施の形態 2 によるトレース制御回路に係る各種信号波形を示すタイミングチャートである。

【図 8】 図 6 に示されるトレースデータ省略回路の内部構成を示す回路図である。

【図 9】 トランスマッションゲートにそれぞれ入力されるゲート信号の信号波形の例を示すタイミングチャートである。

【図 10】 この発明の実施の形態 3 によるトレース制御回路の構成を示す回路図である。

【図 11】 この発明の実施の形態 3 によるトレース制御回路に係る各種信号波形を示すタイミングチャートである。

【図 12】 データ省略情報に基づくトレースデータの省略手順を示すフローチャートである。

【図 13】 トランスマッションゲートにそれぞれ入力されるゲート信号の信号波形の例を示すタイミングチャートである。

【図 14】 従来のデバッグ回路を備えたマイクロコンピュータの構成を示

す回路図である。

【図15】 図14に示されたトレース制御回路の内部構成を示す回路図である。

【図16】 図15に示されたトレース制御回路に係る各種信号波形を示すタイミング図である。

【図17】 図14に示されたトレース制御回路の内部構成を示す回路図である。

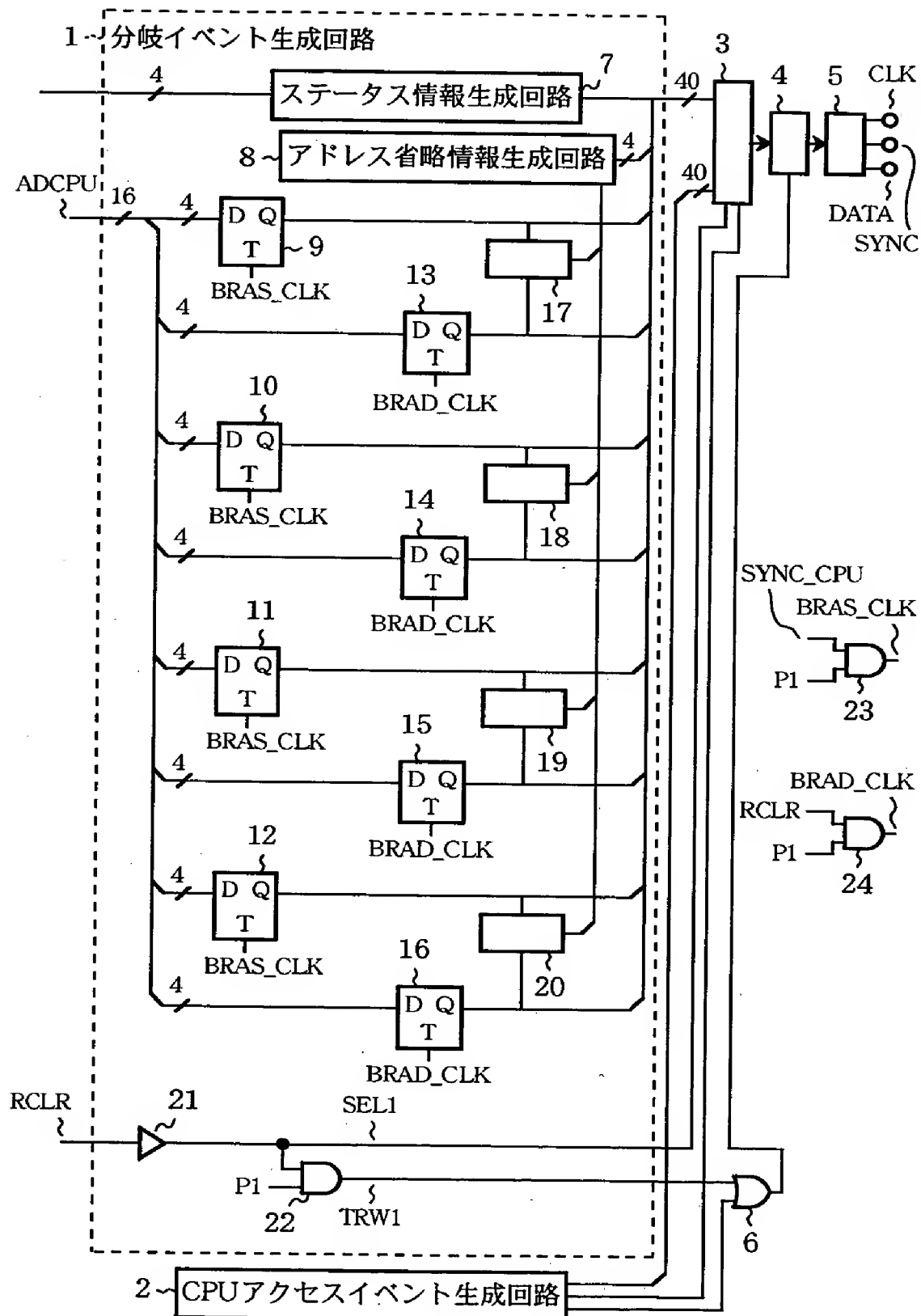
【図18】 図17に示されたトレース制御回路に係る各種信号波形を示すタイミング図である。

#### 【符号の説明】

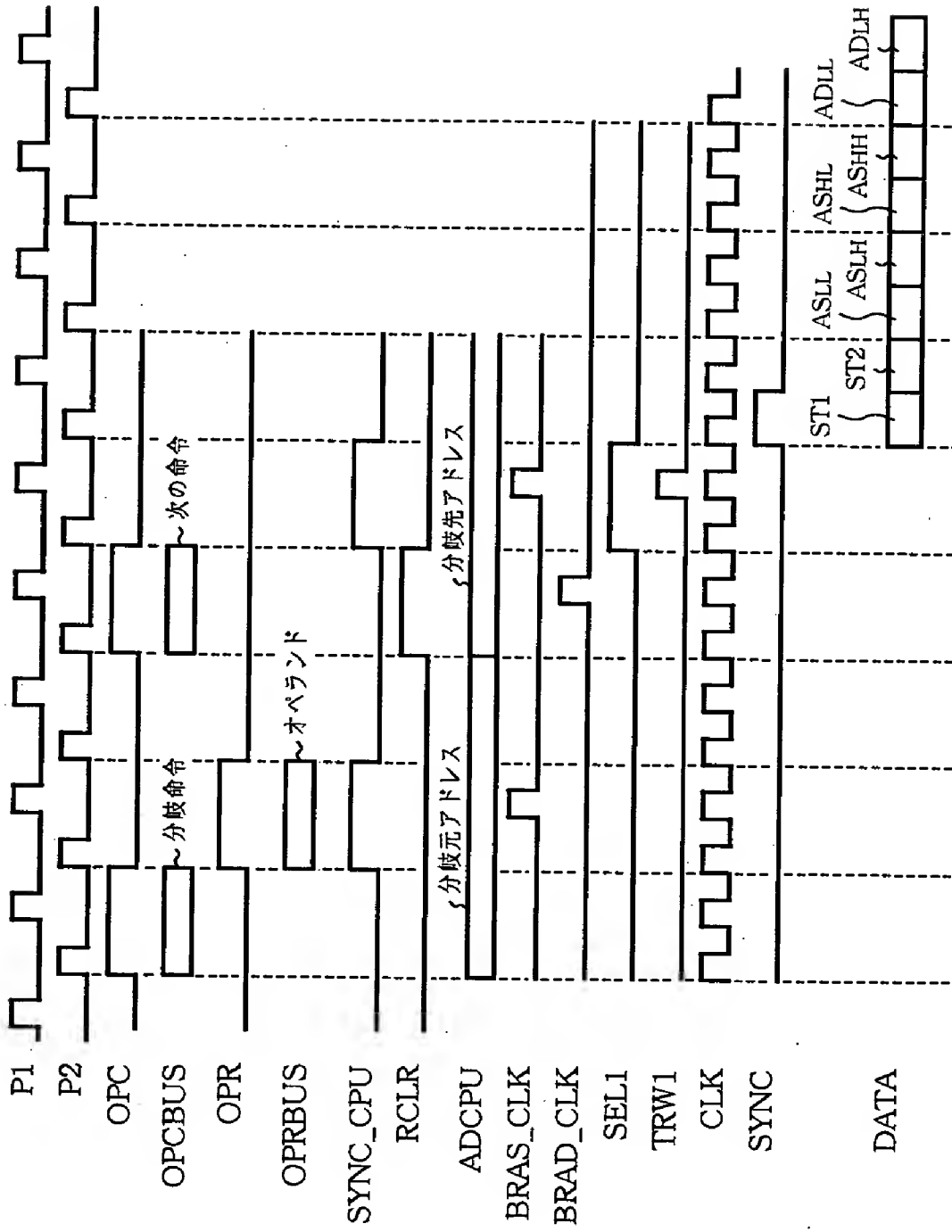
1 分岐イベント生成回路、2 CPUアクセスイベント生成回路、3 セレクタ（選択手段）、4 トレースメモリ（記憶手段）、5 トレースデータ省略回路（トレースデータ省略手段）、6 ORゲート、7, 41 ステータス情報生成回路、8, 42 アドレス省略情報生成回路（アドレス省略情報生成手段）、9, 10, 11, 12 ラッチ回路（第1のラッチ手段）、13, 14, 15, 16 ラッチ回路（第2のラッチ手段）、17, 18, 19, 20 比較器（比較手段）、21 バッファ、22, 23, 24, 68, 69, 70, 96, 97, 98 ANDゲート、31 レジスタ、32, 33, 34 信号線、35 制御回路（制御手段）、36 出力部、43, 48, 49, 50, 51, 52, 53, 54, 55, 64, 65, 66, 67, 71, 72, 83, 92, 93, 94, 95, 99, 100 ラッチ回路、44, 45, 46, 47 ラッチ回路（第1のラッチ手段）、56, 57, 58, 59 ラッチ回路（第2のラッチ手段）、60, 61, 62, 63 比較器（比較手段）、81 ステータス情報生成回路、82 データ省略情報生成回路（データ省略情報生成手段）、84, 85, 86, 87 ラッチ回路（ラッチ手段）、88, 89, 90, 91 比較器（比較手段）、CLK クロック信号端子、DATA データ信号端子、G1～G10 トランSMissionゲート（スイッチ手段）、OE 制御信号端子、SYNC 同期信号端子。

【書類名】 図面

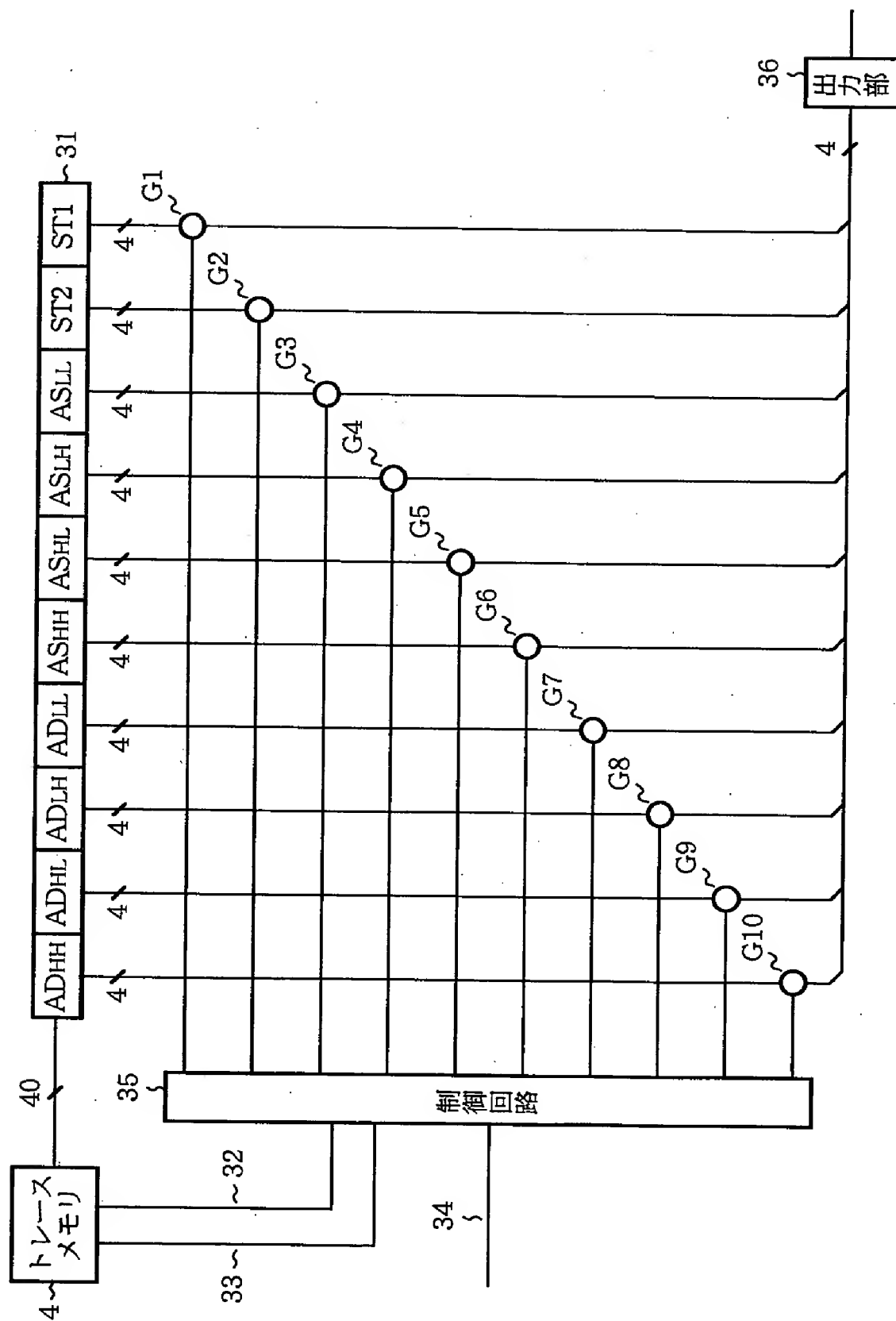
【図 1】



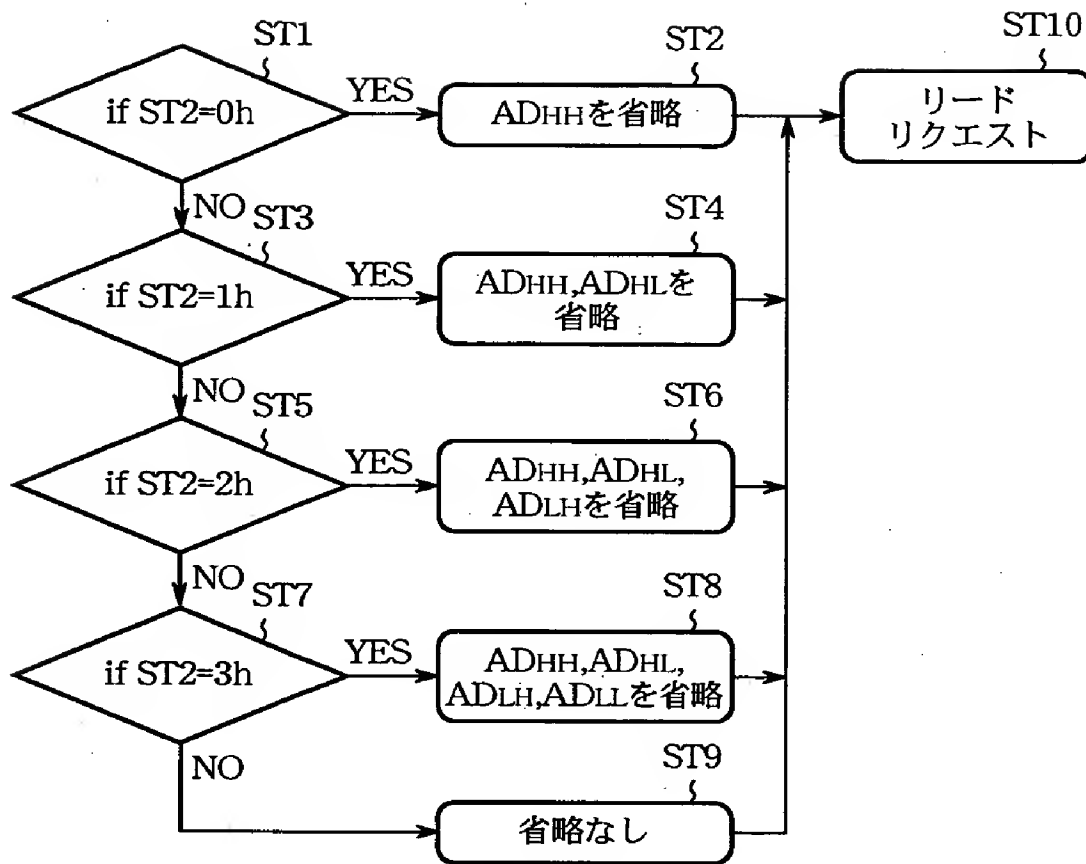
【図2】



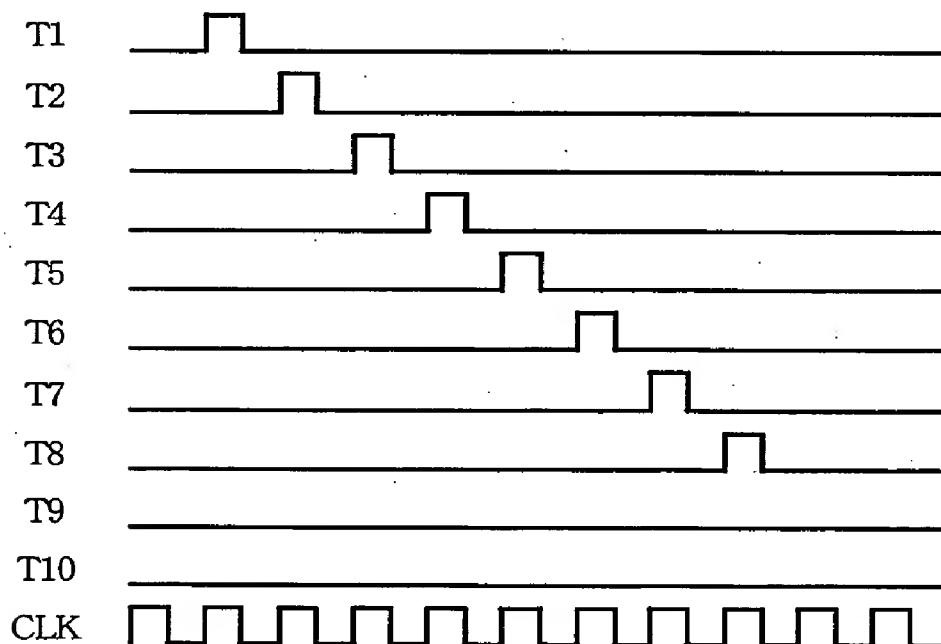
【図3】



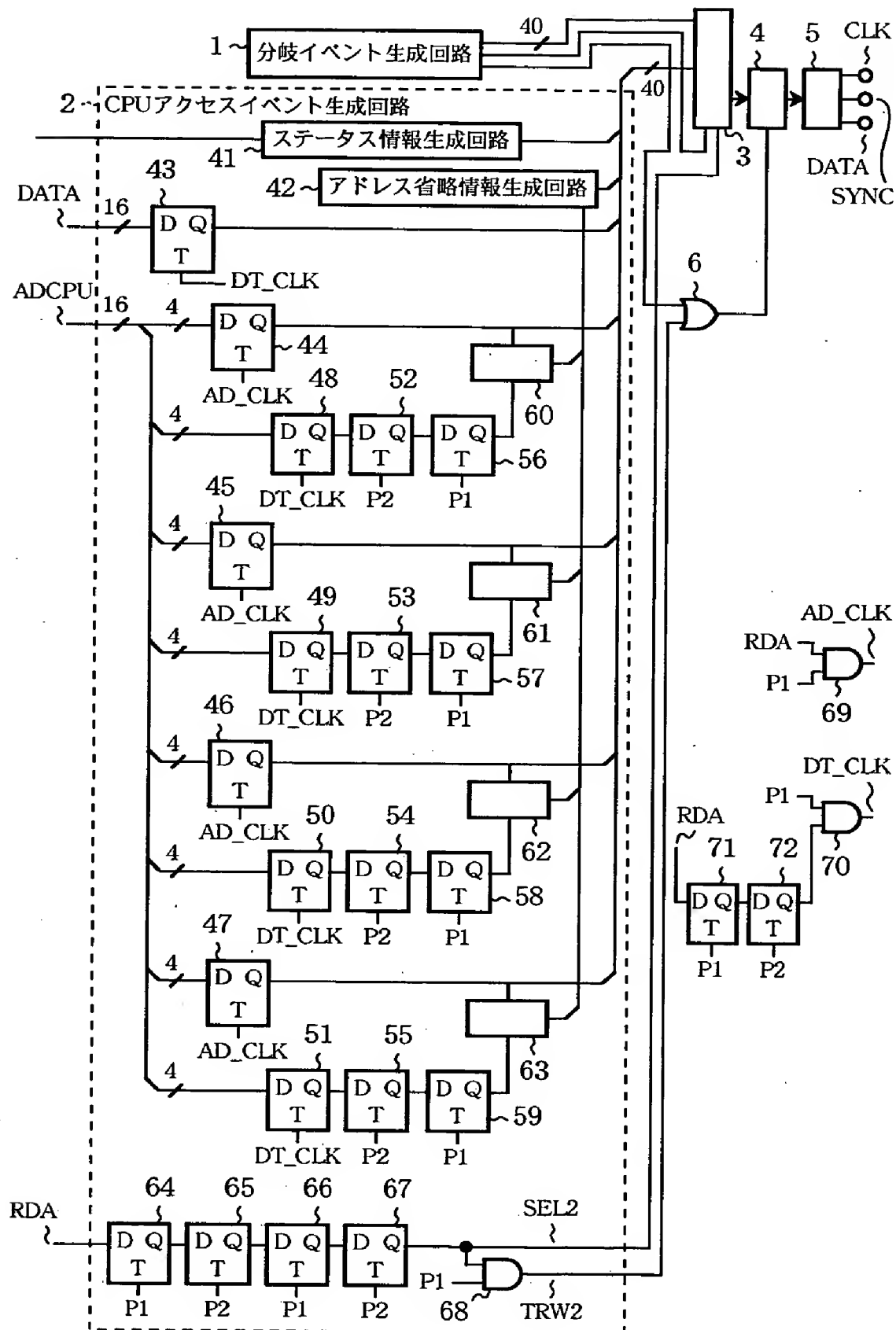
【図4】



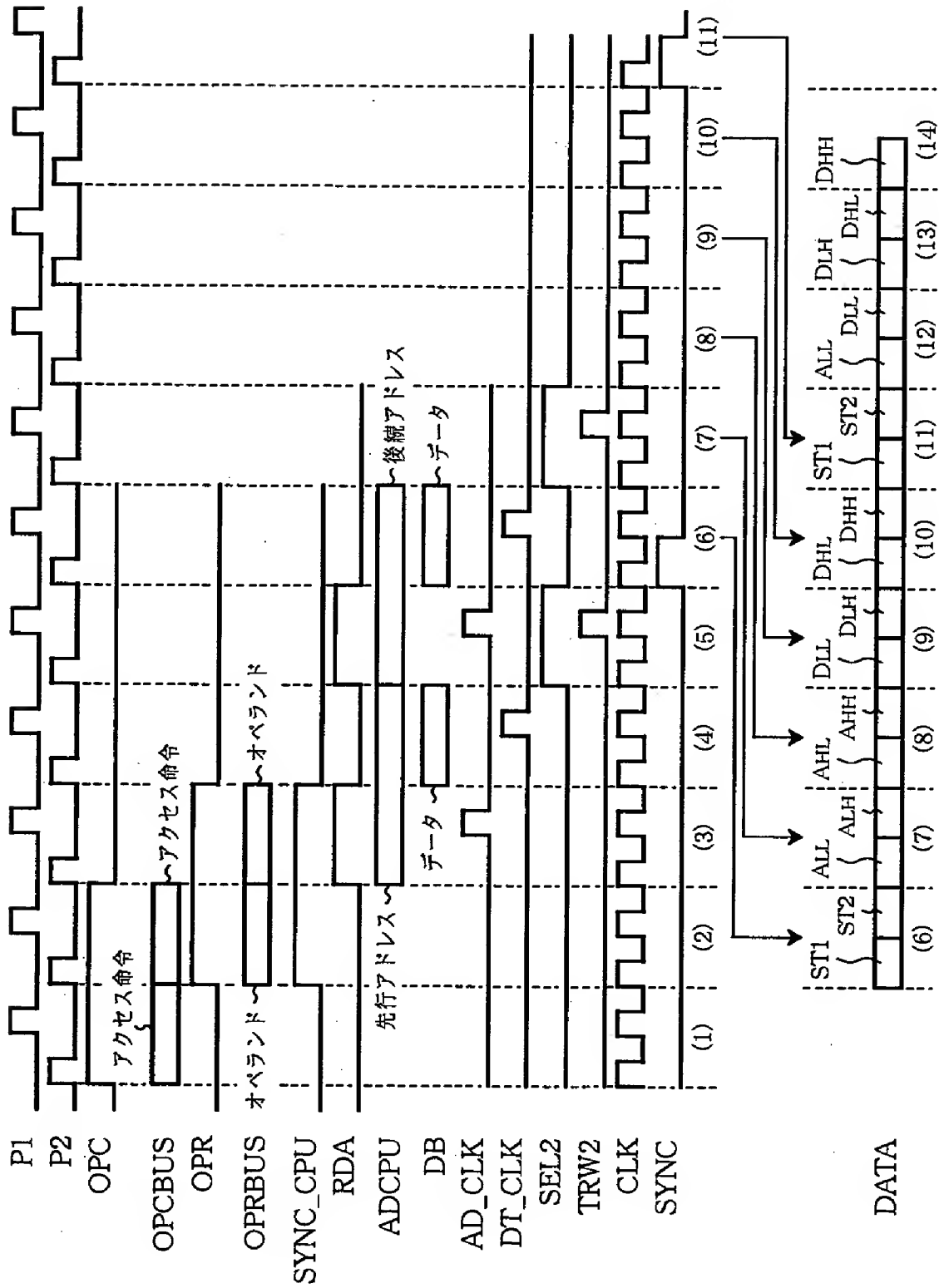
【図5】



【図6】

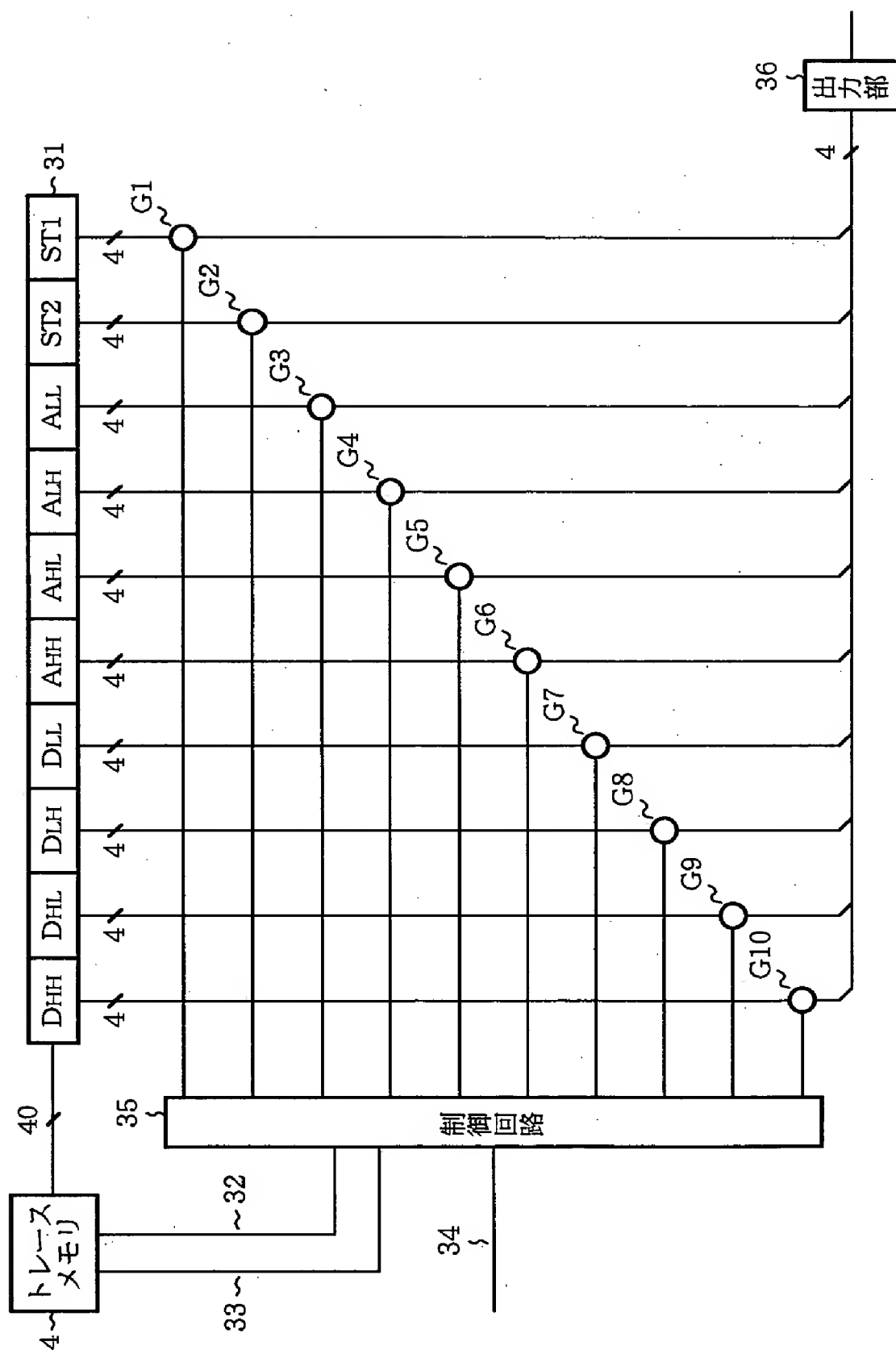


【図7】

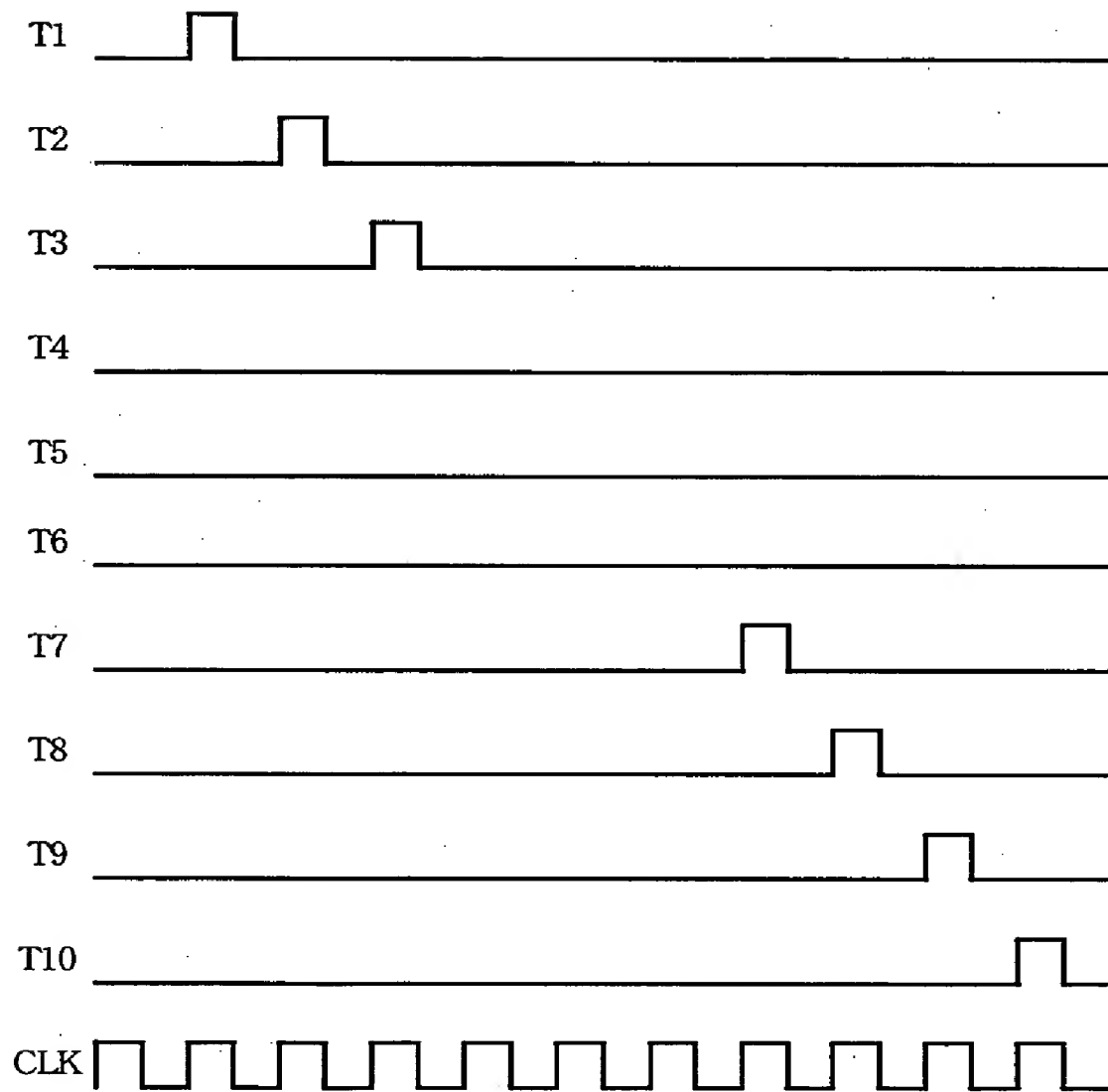




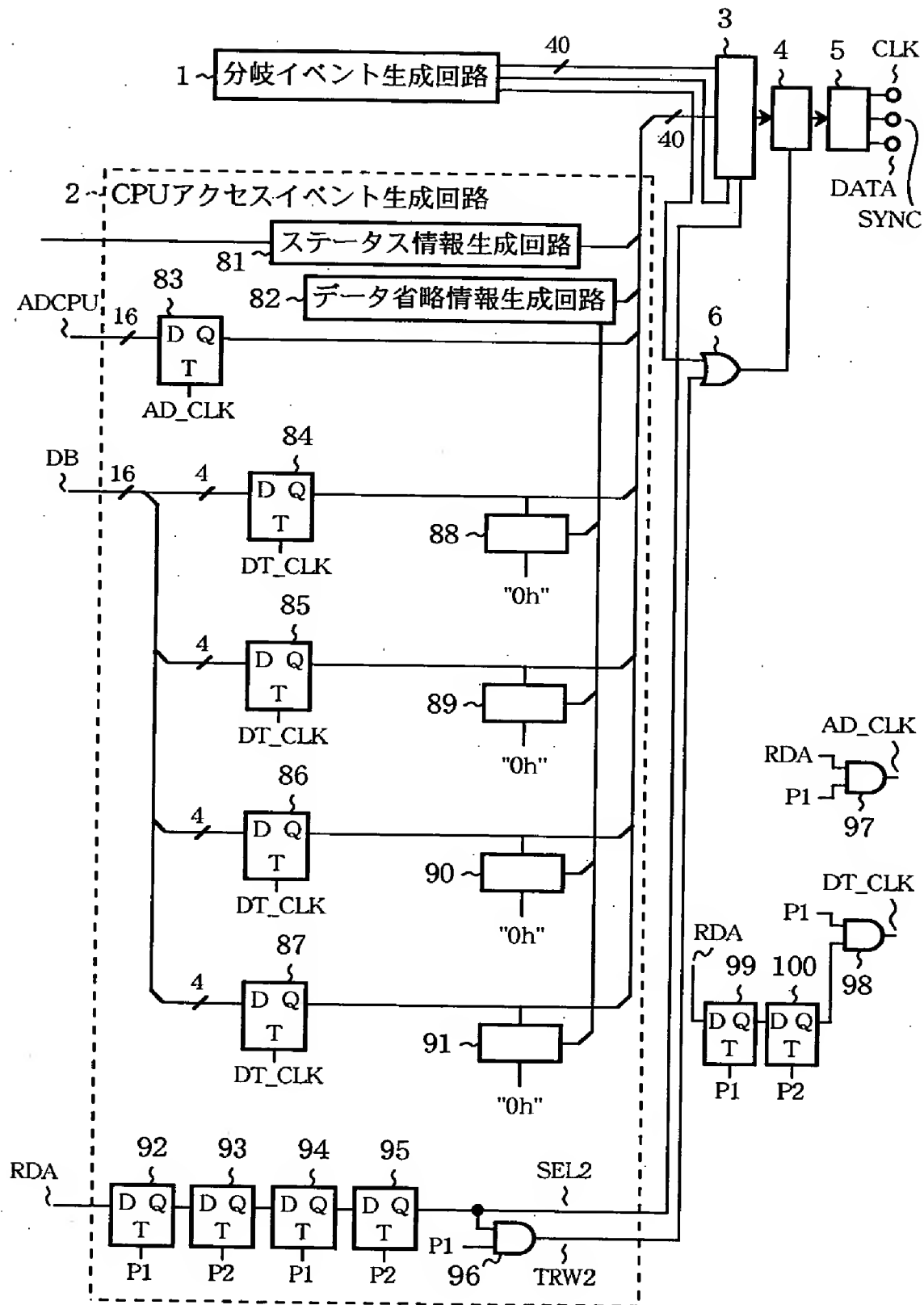
【図8】



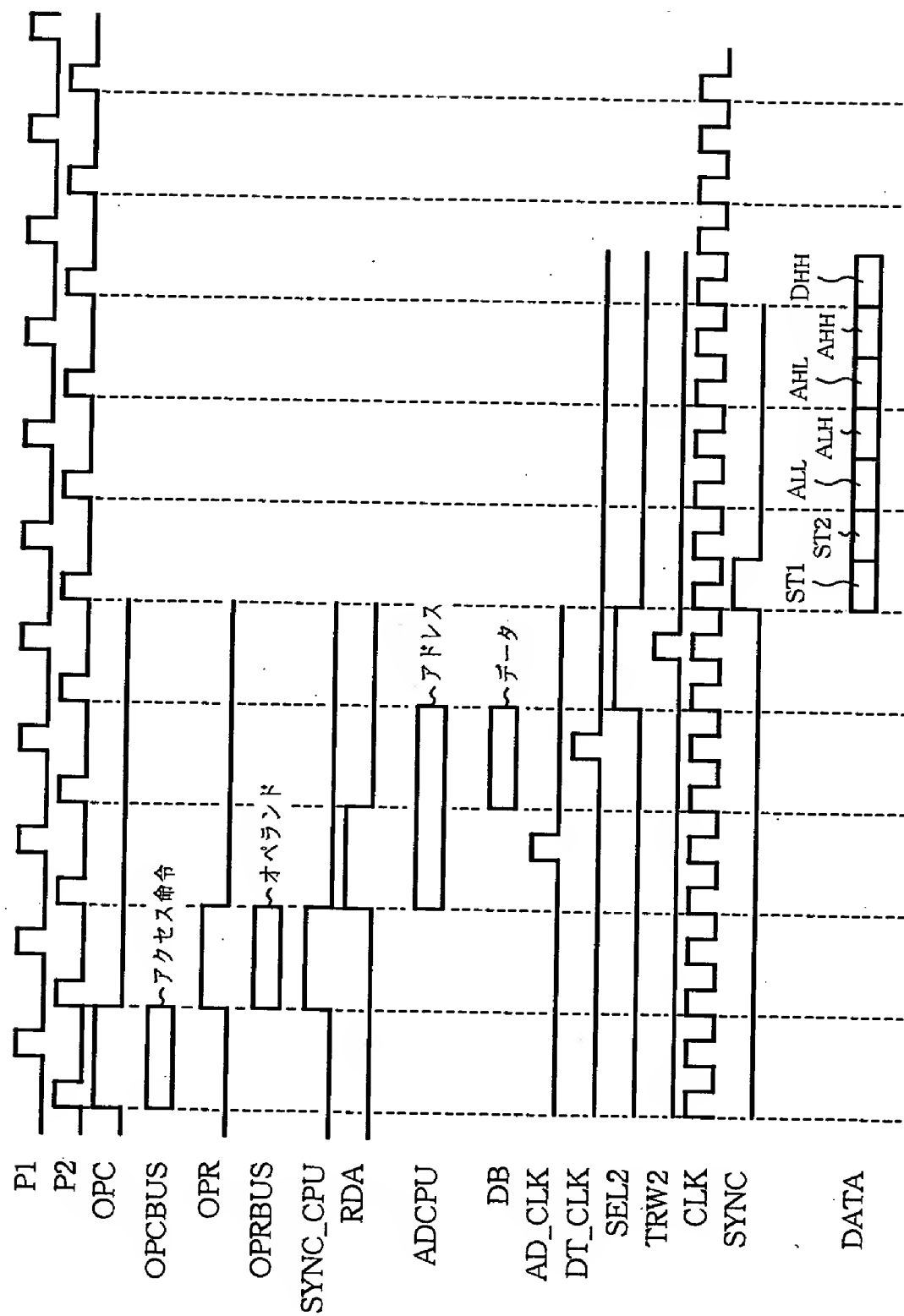
【図9】



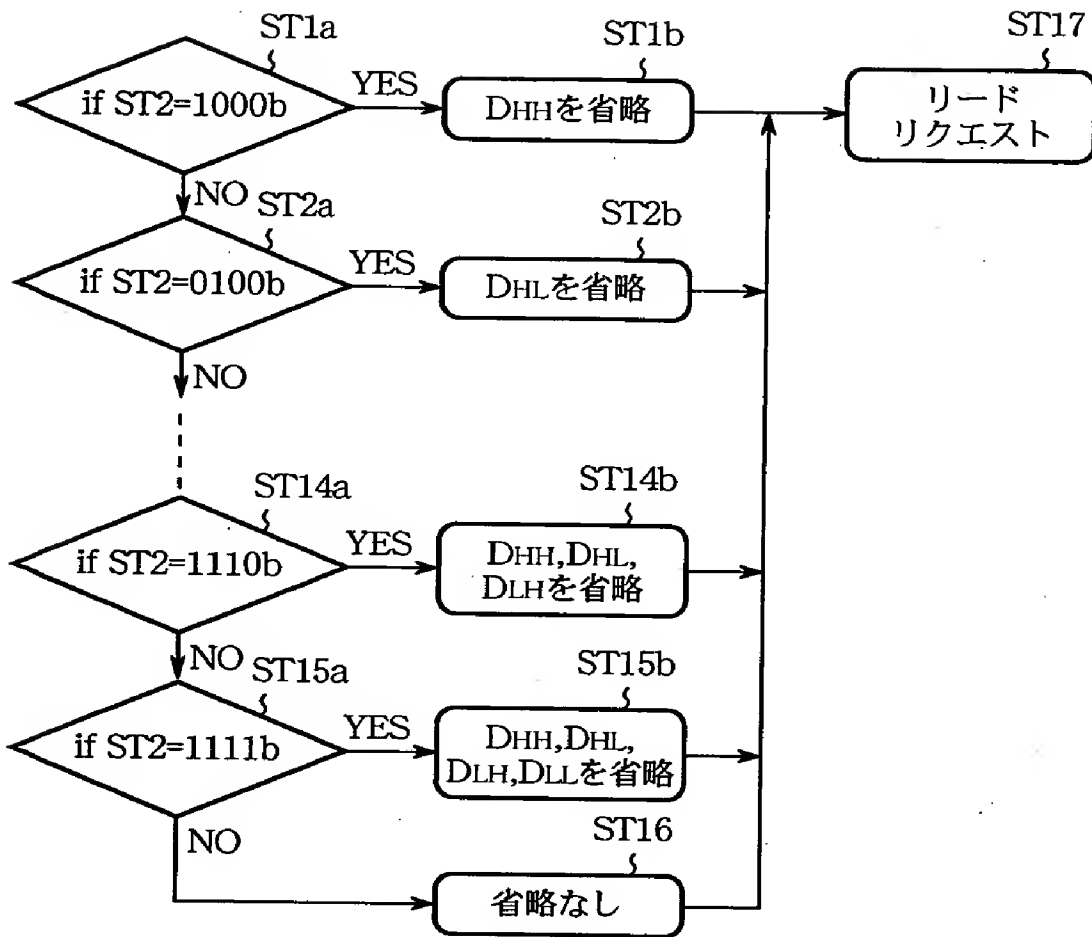
【図 10】



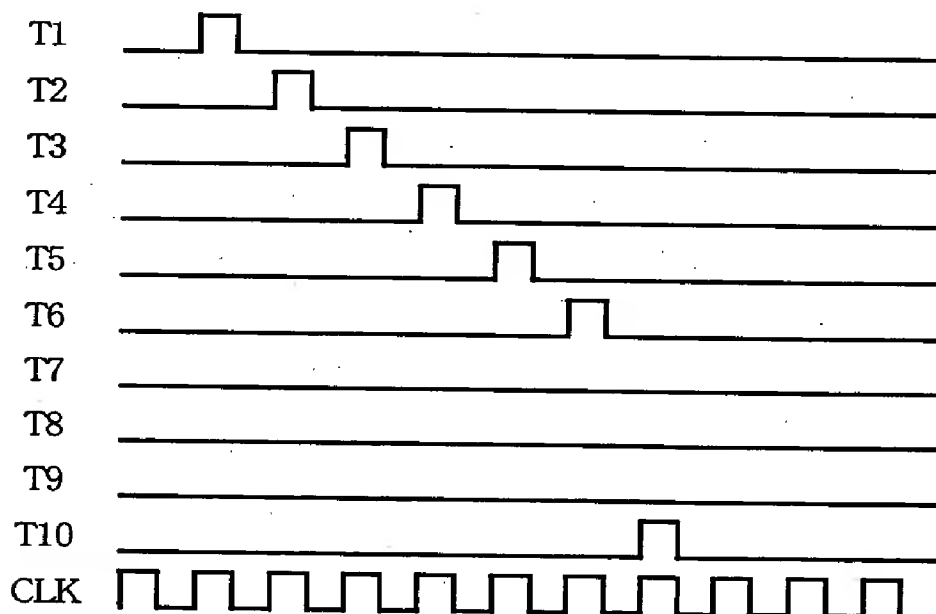
【図 1 1】



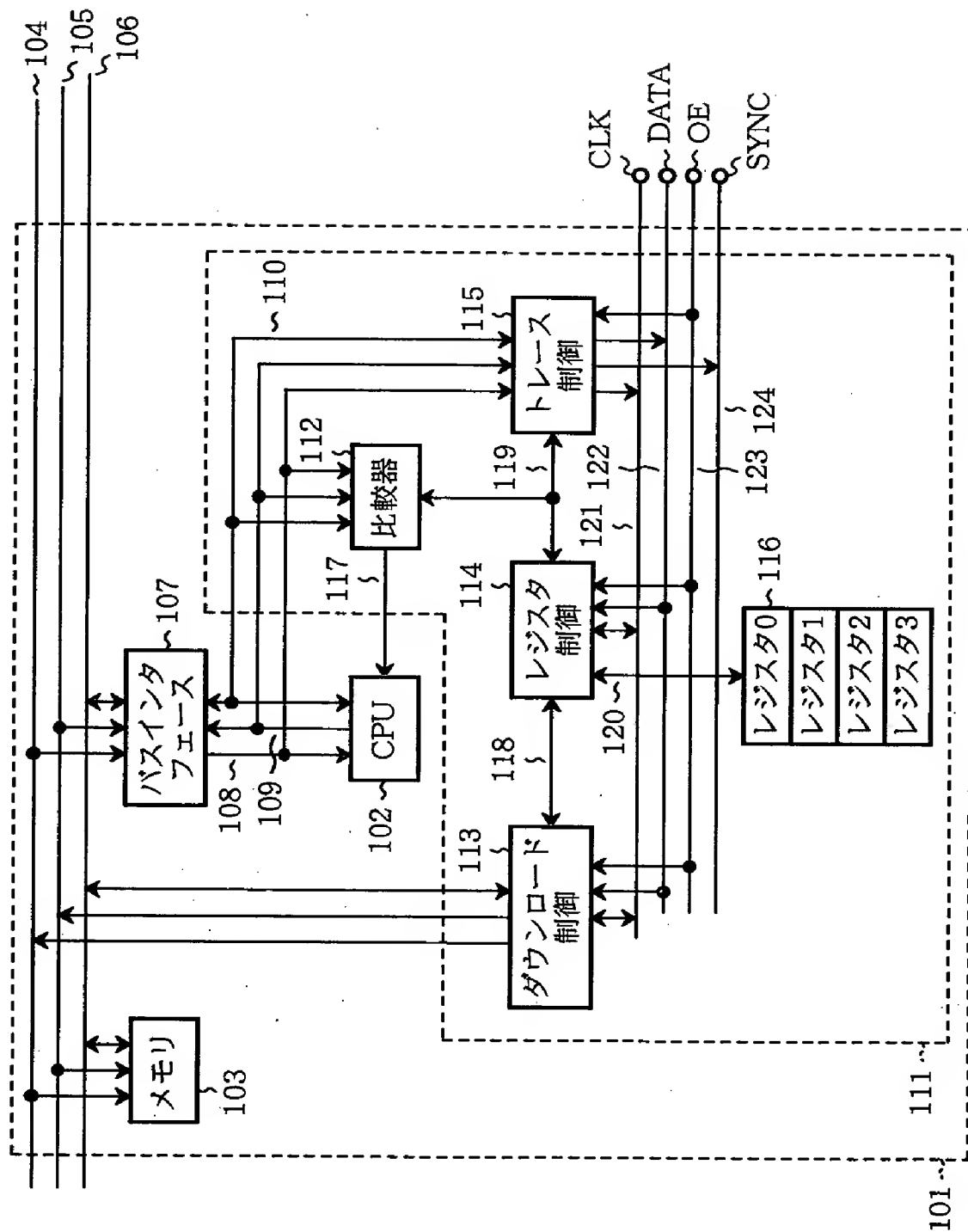
【図 1 2】



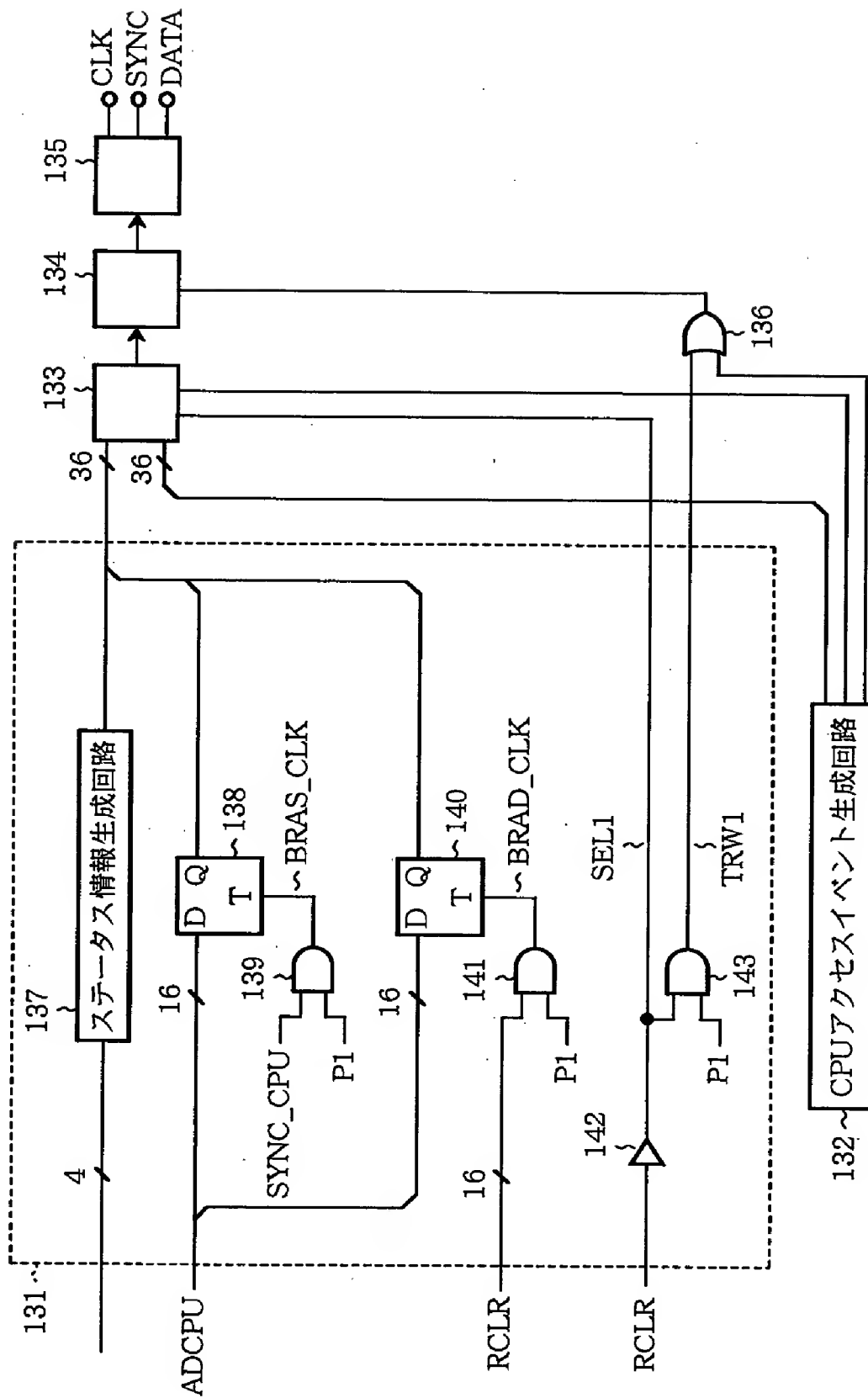
【図 1 3】



【図14】



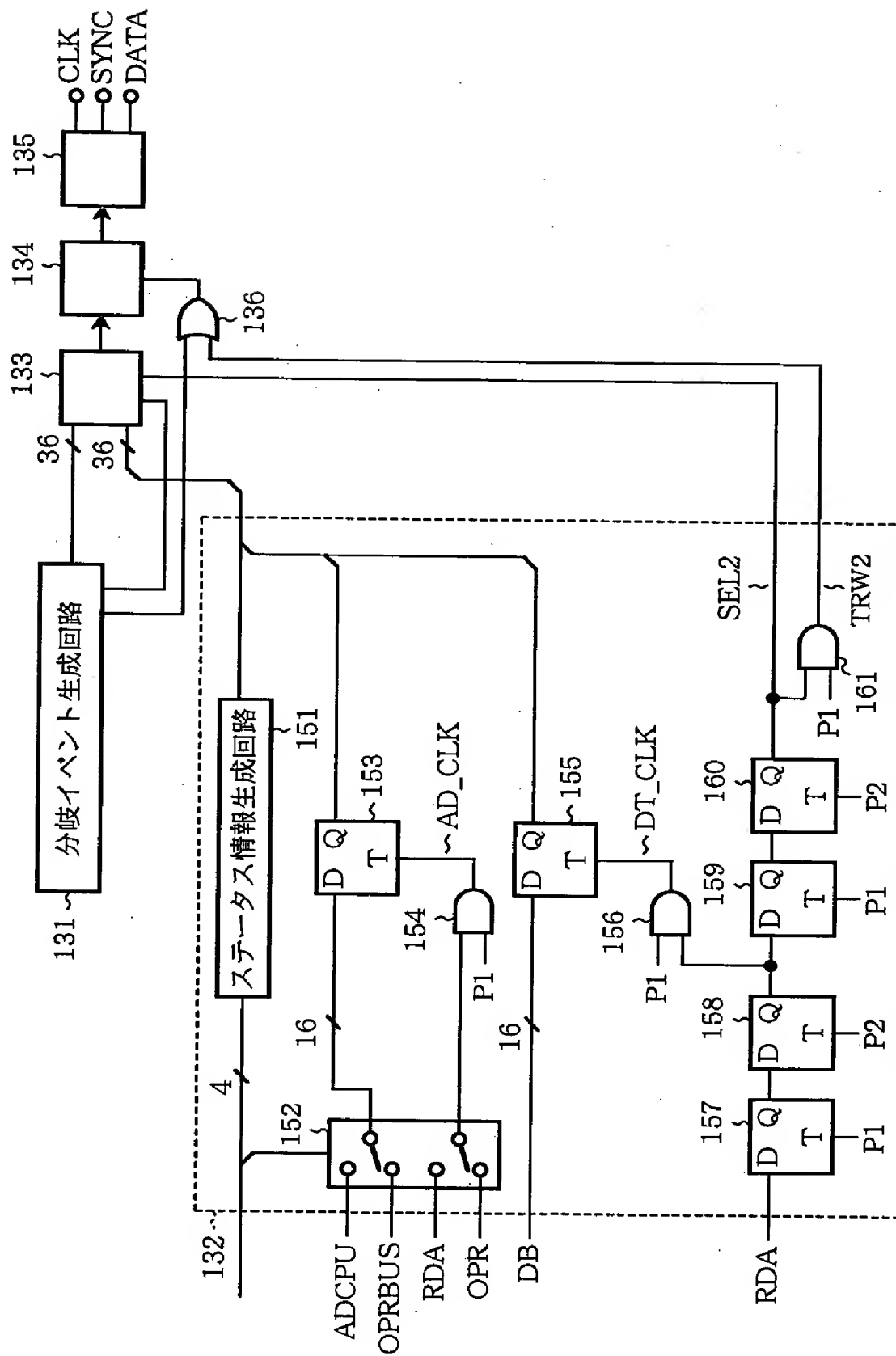
【図15】



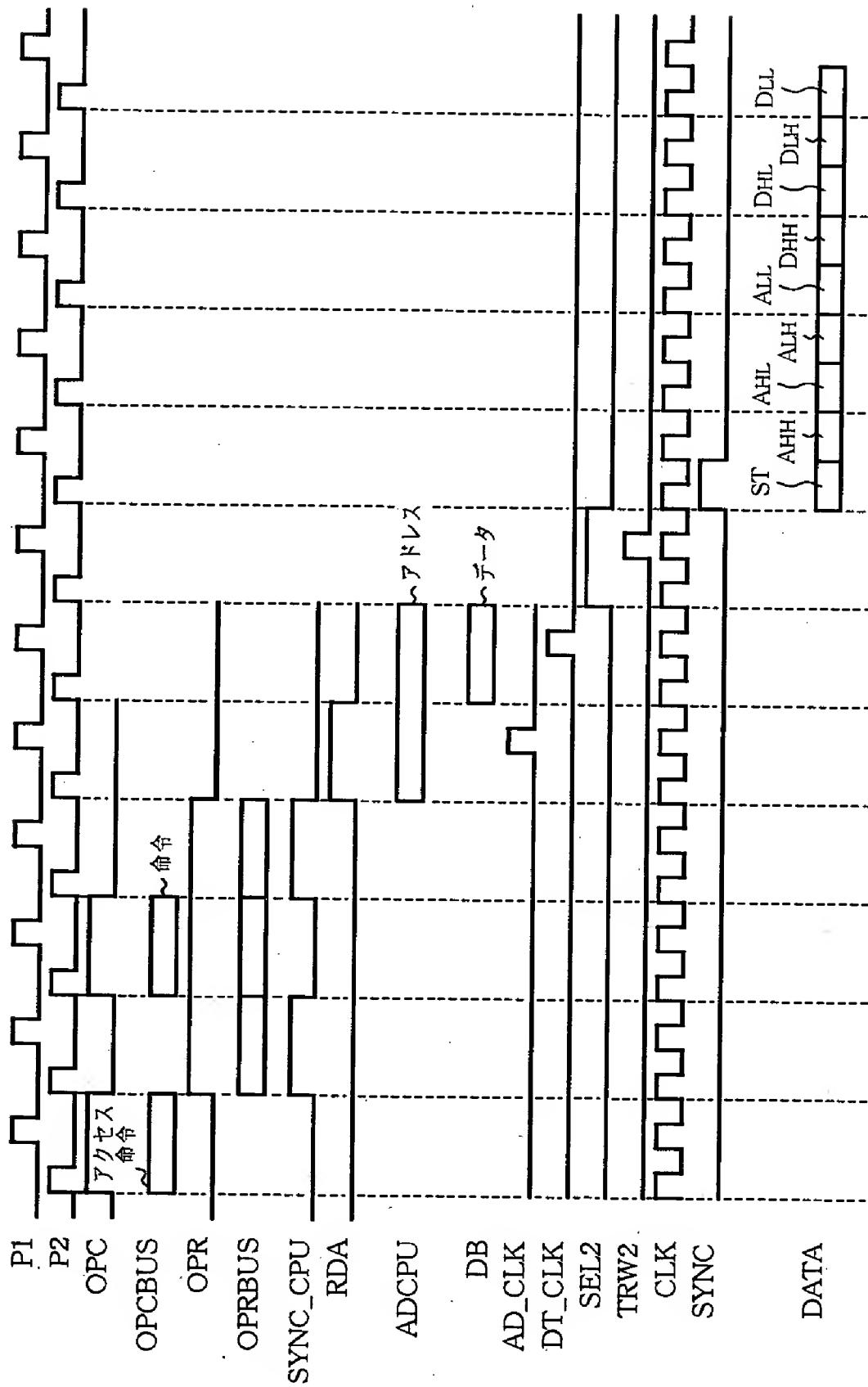




【図 17】



【図 1 8】



【書類名】            要約書

【要約】

【課題】    従来のデコード回路を備えたマイクロコンピュータでは、CPUの動作をリアルタイムでトレースするためには、トレースバスのビット数を増加させるか、またはトレース用クロック信号を高速化しなければならなかった。

【解決手段】    トレース制御回路において、分岐元アドレスと分岐先アドレスとの上位アドレス側からの重複部分を検出して分岐先アドレス省略情報を生成するアドレス省略情報生成回路 8 を有する分岐イベント生成回路 1 と、アドレス省略情報に基づいてトレースデータについて一部データの省略を実施してデータ省略されたトレースデータを出力するトレースデータ省略回路 5 とを備える。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社